

# Filière Systèmes industriels

## Orientation Infotronics

# Diplôme 2012

*Ludovic Chappot*

*Carte A/D-D/A pour  
amplificateur lock-in*

Professeur

Joseph Moerschell

Expert

François Corthay

<input checked="" type="checkbox"/> FSI <input type="checkbox"/> FTV	Année académique / Studienjahr 2011/2012	No TD / Nr. DA it/2012/92
Mandant / Auftraggeber <input checked="" type="checkbox"/> HES—SO Valais <input type="checkbox"/> Industrie  <input type="checkbox"/> Etablissement partenaire Partnerinstitution	Etudiant / Student <b>Ludovic Chappot</b>  Professeur / Dozent <b>Joseph Moerschell</b>	Lieu d'exécution / Ausführungsort <input checked="" type="checkbox"/> HES—SO Valais <input type="checkbox"/> Industrie <input type="checkbox"/> Etablissement partenaire Partnerinstitution
Travail confidentiel / vertrauliche Arbeit <input type="checkbox"/> oui / ja <sup>1</sup> <input checked="" type="checkbox"/> non / nein	Expert / Experte (données complètes)	

Titre / Titel <p style="text-align: center;"><b>Carte A/D-D/A pour amplificateur lock-in</b></p>
Description et Objectifs / Beschreibung und Ziele <p>Les amplificateurs lock-in sont des circuits très performants pour récupérer des signaux de fréquence connue dans un environnement bruité. Ils sont notamment utilisés dans des instruments de mesure d'impédance, pour diverses applications, allant de la surveillance de grandes machines électriques, au monitoring de microfermentations.</p> <p>Les points à traiter sont :</p> <ul style="list-style-type: none"> <li>— La conception d'une carte de conversions A/D et D/A pouvant atteindre des fréquences d'échantillonnage de l'ordre de 10MHz. Cette carte s'interfacera via un fond de panier avec une carte FPGA de traitement (existante)</li> <li>— La réalisation de cette carte : schéma électrique, layout, montage, tests fonctionnels et tests de performance</li> <li>— La réalisation de la logique de commande par programmation VHDL de la carte FPGA</li> <li>— La définition d'un circuit d'interface pour une source de signal à haute impédance, tenant compte que les entrées à convertir en numérique peuvent provenir de différents capteurs</li> <li>— La réalisation d'un filtre analogique passe-bande, dont la bande passante sera ajustée par le choix des composants passifs, permettant de rejeter des signaux perturbateurs en dehors de la plage fréquentielle balayée. Ce filtre sera réalisé sur un circuit imprimé différent de la carte de conversion A/D et D/A, comme préamplificateur.</li> </ul>

Délais / Termine	
Attribution du thème / Ausgabe des Auftrags: <b>10 octobre 2012</b>	Défense orale / Mündliche Verteidigung: <b>À convenir</b>
Remise du rapport / Abgabe des Schlussberichts: <b>19 décembre 2012 à 12h00</b>	
Signature ou visa / Unterschrift oder Visum	
Responsable de l'orientation Leiter der Vertiefungsrichtung: 	<sup>1</sup> Etudiant/Student: 

<sup>1</sup> Par sa signature, l'étudiant-e s'engage à respecter strictement la directive et le caractère confidentiel du travail de diplôme qui lui est confié et des informations mises à sa disposition.  
Durch seine Unterschrift verpflichtet sich der Student, die Richtlinie einzuhalten sowie die Vertraulichkeit der Diplomarbeit und der dafür zur Verfügung gestellten Informationen zu wahren.



## Carte A/D-D/A pour amplificateur Lock-In

Diplômant/e Ludovic Chappot



### Objectif du projet

L'objectif de ce projet est de concevoir, de réaliser et d'implémenter une carte de conversion A/D-D/A, utilisée dans un appareil de mesure d'impédance. Un circuit interfaçant cette carte au dispositif de mesure sera également développé.

### Méthodes | Expériences | Résultats

L'étude du travail réalisé sur une précédente version de la carte de conversion a permis de corriger certains problèmes techniques, et de concevoir une nouvelle schématique. La carte de conversion intègre désormais sa propre FPGA.

L'interface entre cette FPGA et les divers convertisseurs A/D et D/A a été implémentée en langage VHDL. Des simulations temporelles ont permis de vérifier et de valider le bon comportement de l'interfaçage.

Aux vues des délais de fabrication importants, aucun des tests de fonctionnement et de performance prévus n'ont pu être réalisés durant le travail de diplôme.

Après les phases de conception, de simulation et de fabrication, des mesures ont été effectuées sur la carte d'interface. Celles-ci ont permis de valider le bon comportement du filtre analogique contenu sur la carte.

Certains paramètres de ce filtre, comme sa fréquence de coupure ou les facteurs de gain appliqués aux diverses sorties, devront toutefois être adaptés en fonction des signaux transmis par le dispositif de mesure, dès que ceux-ci seront totalement définis.

### Travail de diplôme | édition 2012 |

Filière  
*Systèmes industriels*

Domaine d'application  
*Infotronique*

Professeur responsable  
*Joseph Moerschell*  
[joseph.moerschell@hevs.ch](mailto:joseph.moerschell@hevs.ch)

Partenaire  
*HES-SO Valais*



La bobine de Rogowski permet de mesurer le courant traversant le système à analyser. Ce courant est alors transformé en tension avant d'être analysé.



La carte d'interface intègre un filtre analogique du 8<sup>ème</sup> ordre. Celui-ci est utilisé pour séparer le signal de perturbation du signal 50Hz.

# TABLE DES MATIÈRES

<b>1</b>	<b>INTRODUCTION.....</b>	<b>4</b>
1.1	SPECTROSCOPIE D'IMPÉDANCE .....	4
1.2	AMPLIFICATEUR LOCK-IN.....	4
<b>2</b>	<b>OBJECTIFS .....</b>	<b>5</b>
<b>3</b>	<b>CONTENU DU RAPPORT.....</b>	<b>5</b>
<b>4</b>	<b>PLANNING.....</b>	<b>5</b>
<b>5</b>	<b>ARCHITECTURE GLOBALE.....</b>	<b>6</b>
5.1	SCHÉMA BLOC GÉNÉRAL .....	6
5.2	CARTE FPGA.....	7
5.3	CARTE ADDA .....	7
5.4	PRINCIPE DE MESURE.....	7
5.5	CARTE D'INTERFACE .....	8
5.6	INTERFACE VME .....	8
5.7	MONITORING .....	8
<b>6</b>	<b>CARTE DE CONVERSION A/D – D/A .....</b>	<b>9</b>
6.1	SCHÉMA BLOC.....	9
6.2	ALIMENTATION .....	10
6.3	CONVERTISSEUR AD7626 .....	10
6.3.1	LVDS .....	10
6.4	CONVERTISSEUR AD7760 .....	12
6.5	CONVERTISSEUR AD5547 .....	12
6.6	FPGA (FIELD-PROGRAMMABLE GATE ARRAY) .....	13
6.6.1	Nécessité .....	13
6.6.2	Choix du modèle.....	14
6.7	CONNECTEUR 3x32 PÔLES .....	16
6.7.1	Bus VME .....	17
6.8	INTERFACE RS-232.....	17
6.9	MÉMOIRE FLASH PROM .....	18
6.10	SCHÉMATIQUE .....	19
6.10.1	Modifications .....	19
6.10.2	Alimentations.....	20
6.10.3	FPGA.....	21
6.10.4	Oscillateur externe et CMTs .....	22
6.10.5	Bus de communication.....	23
6.10.6	Convertisseur A/D AD7626.....	24
6.10.7	Convertisseur A/D AD7760.....	25
6.10.8	Convertisseur D/A AD5547.....	26
6.11	CIRCUIT IMPRIMÉ.....	27
6.11.1	Disposition générale .....	27
6.11.2	Fabrication .....	28
6.11.3	Procédure de test .....	29

<b>7</b>	<b>PROGRAMMATION FPGA .....</b>	<b>30</b>
7.1	ENVIRONNEMENT DE TRAVAIL .....	30
7.2	INTERFACE VME .....	30
7.3	DÉMODULATION ET FILTRAGE.....	30
7.4	INTERFACE CONVERTISSEUR A/D AD7626.....	31
7.4.1	Spécifications.....	31
7.4.2	Fonctionnement .....	33
7.4.3	Bloc d'interface.....	34
7.4.4	Simulation et validation .....	38
7.5	INTERFACE CONVERTISSEUR A/D AD7760.....	42
7.5.1	Spécifications.....	42
7.5.2	Fonctionnement .....	45
7.5.3	Bloc d'interface.....	49
7.5.4	Simulation et validation .....	55
7.6	INTERFACE CONVERTISSEUR D/A AD5547 .....	61
7.6.1	Spécifications.....	61
7.6.2	Fonctionnement .....	63
7.6.3	Bloc d'interface.....	64
7.6.4	Génération de signaux .....	65
7.6.5	Simulation et validation .....	66
<b>8</b>	<b>CARTE D'INTERFACE .....</b>	<b>70</b>
8.1	SCHÉMA BLOC.....	70
8.1.1	Entrées/sorties .....	70
8.1.1	Connecteur 3x32 pôles .....	70
8.1.2	Filtre analogique .....	71
8.2	SCHÉMATIQUE .....	72
8.2.1	Alimentations .....	72
8.2.2	Choix de l'amplificateur opérationnel .....	72
8.2.3	Amplificateur soustracteur.....	73
8.2.4	Amplificateur intégrateur.....	74
8.2.5	Filtre analogique .....	75
8.3	SIMULATION.....	78
8.3.1	Diagramme de Bode.....	78
8.3.2	Simulation temporelle .....	79
8.3.3	Validation .....	81
8.4	CIRCUIT IMPRIMÉ.....	82
8.4.1	Disposition générale.....	82
8.4.2	Fabrication .....	83
8.4.3	Procédure de test .....	83
<b>9</b>	<b>MESURES .....</b>	<b>84</b>
9.1	MATÉRIEL UTILISÉ .....	84
9.2	MESURE SPECTRALE À BASSE FRÉQUENCE .....	84
9.3	MESURE SPECTRALE À HAUTE FRÉQUENCE .....	87
9.4	MESURES TEMPORELLES.....	89
<b>10</b>	<b>BUDGET .....</b>	<b>93</b>
<b>11</b>	<b>CONCLUSION.....</b>	<b>94</b>
<b>12</b>	<b>ANNEXES.....</b>	<b>95</b>
<b>13</b>	<b>RÉFÉRENCES / BIBLIOGRAPHIE.....</b>	<b>96</b>

# 1 INTRODUCTION

---

Ce travail de diplôme reprend le projet MOLIS (*Monitoring by On-Line Impedance Spectroscopy*, surveillance par spectroscopie d'impédance des lignes) développé à la HES-SO Valais.

MOLIS a pour but de réaliser une surveillance d'équipements de puissance par spectroscopie d'impédance, par le biais de l'utilisation d'un amplificateur *Lock-in*. [1]

Le travail de diplôme se concentre sur la conception d'une carte de conversion A/D-D/A pour amplificateur Lock-in, permettant la liaison entre le monde analogique et le monde digital, sa fabrication, sa logique de commande et son interfaçage avec les autres éléments du projet.

## 1.1 SPECTROSCOPIE D'IMPÉDANCE

La spectroscopie d'impédance est une technique d'analyse puissante. Elle est largement répandue dans différents secteurs de recherche allant de l'étude des propriétés des réactions chimiques à la surveillance de grandes machines électriques.

Cette méthode implique l'application d'une perturbation sinusoïdale de potentiel ou de courant à l'échantillon. La mesure de la réponse permet d'observer l'impédance de cet échantillon et le déphasage subit par le signal injecté, en fonction de la fréquence.

Ainsi, il est possible de relier les résultats des mesures aux propriétés physiques, électriques et chimiques du matériau. [2]

## 1.2 AMPLIFICATEUR LOCK-IN

Dans sa forme la plus élémentaire, un amplificateur Lock-in est un instrument à double fonction : il permet la récupération de signaux dans un environnement bruité et est capable d'effectuer des mesures à haute résolution sur ces signaux.

Toutefois, les instruments modernes offrent bien plus de fonctionnalités ; en voici quelques exemples [3] :

- Récupération de signaux alternatifs
- Voltmètre vectoriel
- Phasemètre
- Analyseur de spectre
- Unité de mesure de bruit

## 2 OBJECTIFS

---

Les objectifs du travail de diplôme sont les suivants :

- Conception d'une carte de conversion A/D et D/A pouvant atteindre des fréquences d'échantillonnage de l'ordre de 10MHz. Cette carte s'interfacera via un fond de panier (*backplane*) avec une carte FPGA de traitement d'ores et déjà existante.
- Réalisation de la carte de conversion A/D-D/A : schéma électrique, dessin de la carte électronique (*layout*), montage, tests fonctionnels et tests de performance.
- Définition d'un circuit d'interface pour une source de signal à haute impédance, en tenant compte que les entrées à convertir en numérique peuvent provenir de différents capteurs.
- Réalisation d'un filtre analogique passe-bande, dont la bande passante sera ajustée par le choix des composants passifs, permettant de rejeter les signaux perturbateurs en dehors de la plage fréquentielle balayée. Ce filtre sera réalisé sur un circuit imprimé différent de la carte de conversion A/D et D/A et fera office de préamplificateur.

## 3 CONTENU DU RAPPORT

---

Voici la structure globale du rapport :

- Vue globale du système
- Carte de conversion A/D-D/A
  - Vue générale
  - Schématique / circuit imprimé
  - Programmation / simulation / validation
- Carte d'interface
  - Vue générale
  - Schématique
  - Simulation / validation
  - Circuit imprimé
- Mesures
- Budget
- Conclusion

## 4 PLANNING

---

Un planning du travail de diplôme<sup>1</sup> a été réalisé, à l'aide du logiciel *Microsoft Project 2010*. Celui-ci expose les principales tâches exécutées durant le projet.

---

<sup>1</sup> Le **planning du travail de diplôme** est disponible en **annexe 1**.

## 5 ARCHITECTURE GLOBALE

La section suivante offre un aperçu du projet dans sa globalité et décrit succinctement les éléments principaux du système.

### 5.1 SCHÉMA BLOC GÉNÉRAL

Voici une vue générale du système :

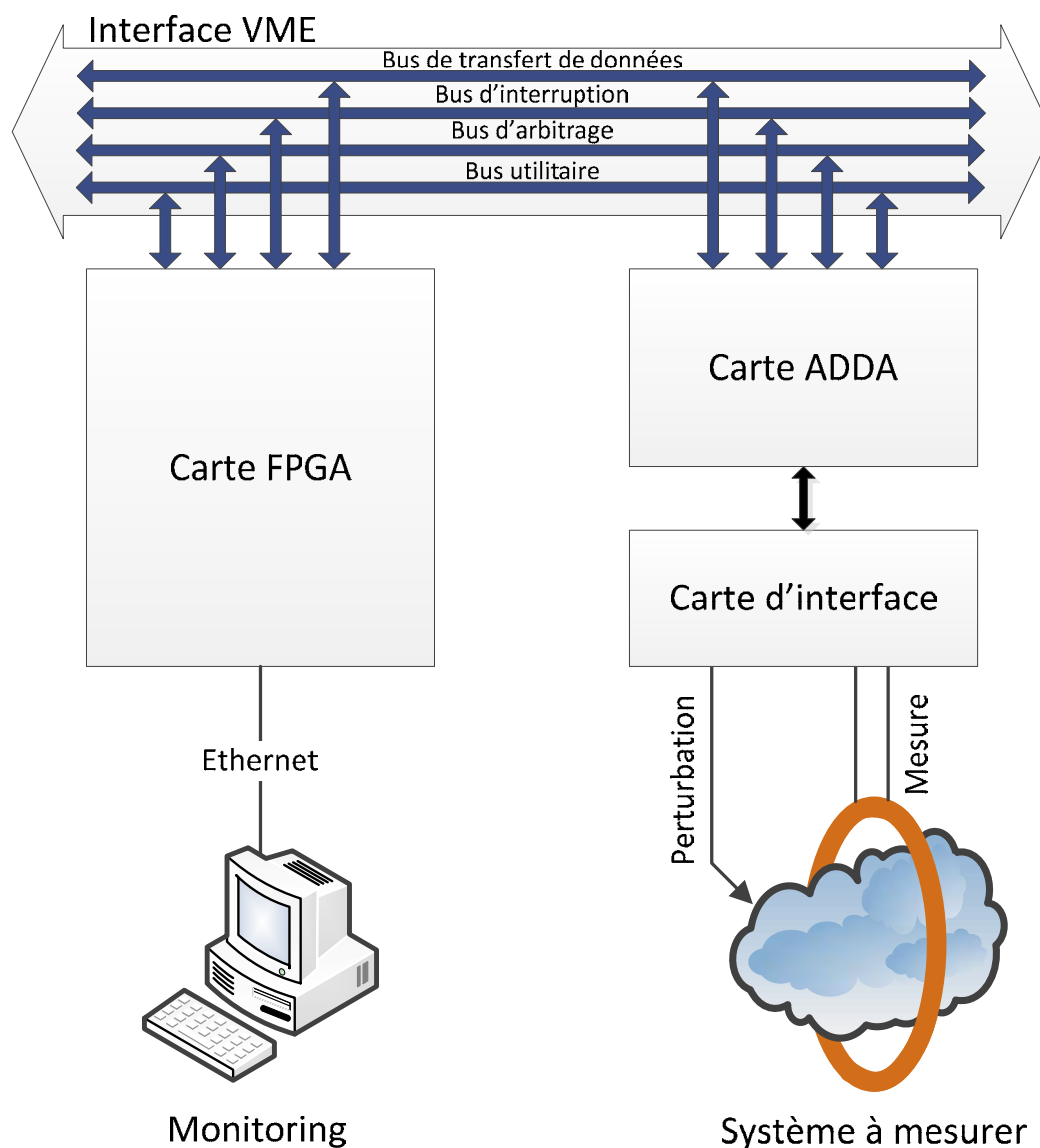


Figure 1 - Schéma bloc général



## 5.2 CARTE FPGA

La carte FPGA fait office d'interface entre le PC, qui contrôle de comportement global du système et analyse les mesures effectuées, et la carte de conversion ADDA.

La carte FPGA ne doit pas être développée durant ce travail de diplôme, puisqu'elle est d'ores et déjà existante.

## 5.3 CARTE ADDA

Le rôle principal de la carte ADDA est de piloter les convertisseurs A/D et D/A qu'elle contient, de faire un prétraitement sur les mesures acquises et de transférer ces données vers la carte FPGA maîtresse.

Une première version de cette carte a été réalisée dans le cadre du projet MOLIS. Une seconde version, plus performante, devra être entièrement conçue durant ce travail de diplôme.

## 5.4 PRINCIPE DE MESURE

Ce point-ci décrit succinctement le principe appliqué pour effectuer la mesure du système. Un rapport rédigé dans le cadre d'un précédent projet offre plus de détails sur ce point [4].

L'analyse du système se fait selon le principe de spectroscopie d'impédance (voir section 1.1).

La perturbation sinusoïdale injectée dans le système est remesurée par le biais d'une bobine de Rogowski.

La bobine d'induction sans fer mesure la tension magnétique le long d'une boucle fermée autour d'un conducteur parcouru par un courant :

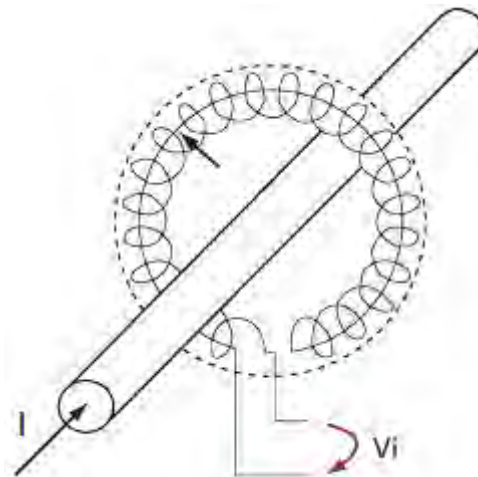


Figure 2 - Principe de mesure selon Rogowski

Le signal mesuré est alors réinjecté dans un démodulateur, permettant d'extraire les informations concernant son amplitude et son déphasage par rapport au signal de consigne initialement injecté dans le système à mesurer.

La figure suivante illustre le schéma bloc du démodulateur :

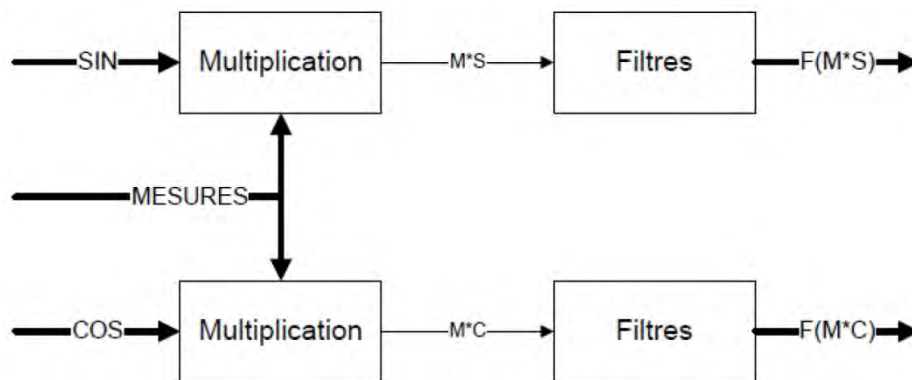


Figure 3 - Schéma bloc du démodulateur

Le signal mesuré est multiplié d'une part par le sinus de consigne, et d'autre part par un cosinus ayant les mêmes paramètres que le signal sinusoïdal. Après filtration, il est possible d'extraire les informations d'amplitude et de déphasage.

L'analyse de la réponse permet alors de déterminer les propriétés électriques du système mesuré, afin de diagnostiquer d'éventuels défauts de lignes.

## 5.5 CARTE D'INTERFACE

La carte d'interface, comme son nom l'indique, fait office d'interface entre la bobine de Rogowski et la carte ADDA. Elle contient principalement un filtre capable d'extraire le signal de perturbation préalablement injecté dans le système et le signal 50Hz du réseau électrique.

Cette carte a été développée durant le travail de diplôme.

## 5.6 INTERFACE VME

Les cartes FPGA et ADDA sont interfacées entre elles via un bus VME, décrit au point 6.7.1. Elles sont donc compatibles avec ce système de communication, mais l'utilisation d'un bus de transfert de données personnalisé n'est pas exclue.

## 5.7 MONITORING

Le monitoring et l'analyse des mesures effectuées sur le système sont réalisés grâce à un PC. Celui-ci est connecté à la carte FPGA via un port RS-232.

Le PC fait également office d'interface homme-machine, et gère le comportement global du système de mesure.

## 6 CARTE DE CONVERSION A/D – D/A

La carte de conversion A/D – D/A, communément appelée *Carte ADDA*, permet l'interfaçage entre le monde analogique, comprenant le système à mesurer, et le système numérique qui va traiter l'information.

Celle-ci devrait idéalement atteindre des fréquences d'échantillonnage de l'ordre de 10MHz.

### 6.1 SCHÉMA BLOC

Voici le schéma bloc de la carte ADDA dans son intégralité :

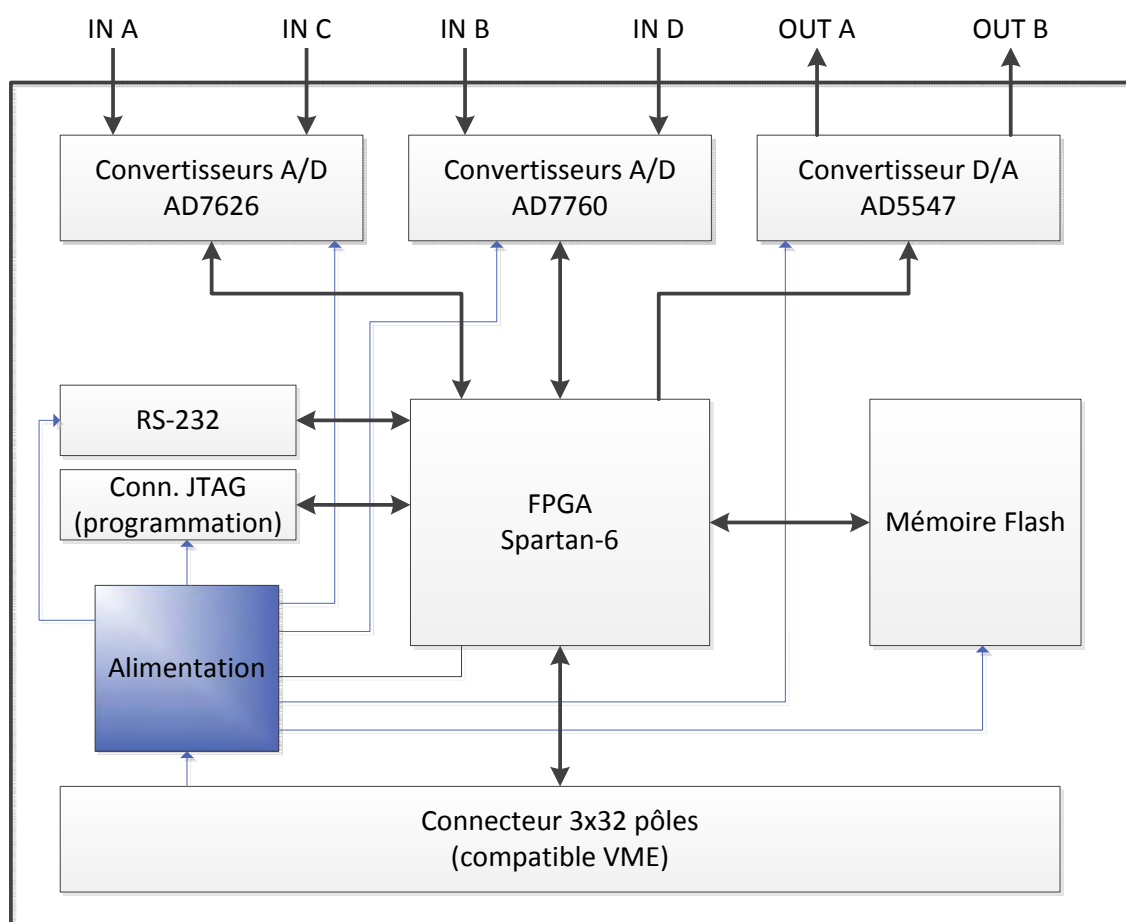


Figure 4 - Schéma bloc carte ADDA

La carte ADDA possède quatre canaux de conversion A/D, puisqu'elle est équipée de deux convertisseurs de type AD7626 et deux de types AD7760.

Deux modèles de convertisseurs différents sont délibérément utilisés, afin de réaliser des tests de performance et vérifier les avantages et inconvénients de chaque modèle en situation réelle.

L'AD5547 offre, quant à lui, deux canaux de conversion D/A, intégrés dans le même composant.

Ces trois types de convertisseurs ont été repris de la première version de la carte ADDA. Nous avons décidé de les réutiliser pour la nouvelle version de la carte. En effet, en raison de divers problèmes techniques exposés dans le rapport *MOLIS prise de mesure V2* (bibliographie [1]), ceux-ci n'ont pas pu être réellement testés. De nouveaux essais seront donc menés avec ces mêmes composants.

Aucun bus de donnée, d'adresse, ou signal de commande n'est partagé. Cela signifie que chaque convertisseur A/D et D/A dispose de sa propre interface avec la FPGA et peut être commandé totalement indépendamment des autres.

*N.B : exception faite au convertisseur D/A AD5547, qui partage son bus de donnée entre les deux canaux intégrés au même composant.*

## 6.2 ALIMENTATION

Le bloc « Alimentation » fournit les tensions appropriées aux différents composants de la carte.

Il contient les trois types de régulateurs / convertisseurs DC/DC suivants :

- LM1117 : régulateur de tension linéaire LDO (*Low-Dropout*)
- LM2990 : régulateur de tension négative linéaire LDO
- LTM4615 : convertisseur DC/DC basse tension à deux sorties et régulateur de tension linéaire VLDO (*Very Low-Dropout*)

## 6.3 CONVERTISSEUR AD7626<sup>2</sup>

L'AD7626 est un convertisseur A/D 16 bits à approximations successives, capable de convertir jusqu'à 10 Méga échantillons par seconde.

Il possède une interface série de type LVDS (*Low Voltage Differential Signaling*, transmission différentielle basse tension).

Ce composant requiert une fréquence d'horloge typique de 250MHz.

### 6.3.1 LVDS

A l'inverse du LVDS, les normes de transmission telles que TTL (*Transistor-Transistor Logic*) ou CMOS (*Complementary Metal Oxide Semi-conductor*) sont dites asymétriques : elles utilisent la tension électrique entre un point fixe et la masse à un moment donné comme élément d'information.

Bien que simples à mettre en œuvre, ces normes de signalisation asymétriques ne sont pas adaptées à la transmission de signaux à fréquences élevées, pour deux raisons principales :

- La vitesse de transition très élevée qui serait nécessaire pour passer d'un état logique à un autre
- Les réflexions de signaux électriques provoqués par l'absence d'adaptation d'impédance sur les lignes de transmission

LVDS est une norme de signalisation différentielle. Elle se base sur la valeur et la polarité de la tension aux bornes d'une résistance de 100Ω placée au niveau du récepteur.

La ligne de transmission ainsi formée à l'avantage d'être bien plus immune au bruit électrique et permet de travailler avec une plage de tension bien plus faible, d'où une capacité à monter bien plus haut en fréquence.

---

<sup>2</sup> Datasheet de l'AD7626 disponible en annexe 2a.

Voici une illustration du fonctionnement typique d'une liaison LVDS :

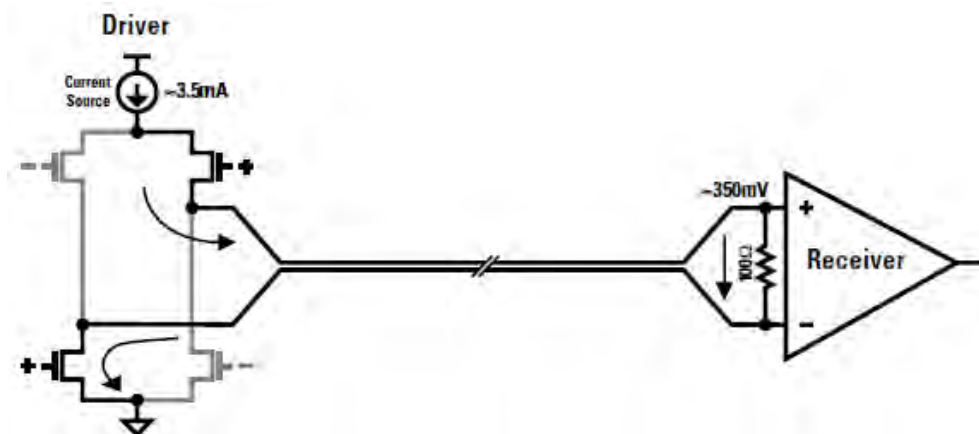


Figure 5 - Schéma typique LVDS

L'émetteur, au moyen d'un pont en H, impose la polarité du courant, qui est transformé en tension en traversant une résistance située au niveau du récepteur. En mesurant la différence de potentiel entre les bornes de cette résistance, le récepteur est capable de déterminer la polarité du courant imposée par l'émetteur et, par conséquent, la valeur de l'information ('1' ou '0').

Voici une illustration du changement de polarité du signal LVDS, aux bornes du récepteur :

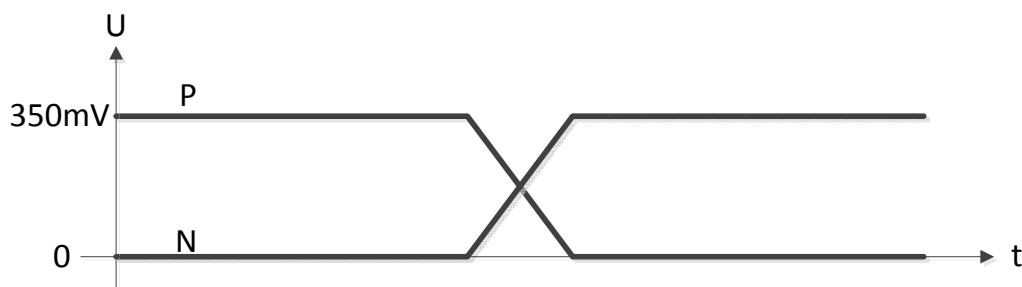


Figure 6 - Changement de polarité du signal LVDS

Le signal P est câblé sur l'entrée positive du récepteur, et le signal N sur l'entrée négative. La norme LVDS spécifie une valeur de courant égale à 3.5mA et une résistance aux bornes du récepteur de 100Ω, d'où une différence de potentiel de 350mV aux bornes de la résistance. [5]



## 6.4 CONVERTISSEUR AD7760<sup>3</sup>

Le AD7760 est un convertisseur A/D 24 bits de type Sigma-Delta, pouvant atteindre une fréquence d'échantillonnage de 2.5MHz. Il dispose d'une interface parallèle de 16 bits pour le transfert de donnée. Les données de conversions de 24 bits sont transmises en deux parties, selon le principe suivant :

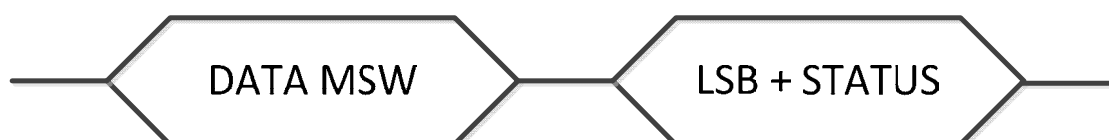


Figure 7 - AD7760 : principe de transmission de données

Les 16 bits de poids fort de la donnée, DATA MSW (*Most Significant Word*), sont transmis en premier. Suivent ensuite les 8 bits de poids faible de la donnée et les 8 bits de statut.

## 6.5 CONVERTISSEUR AD5547<sup>4</sup>

L'AD5547 est un convertisseur D/A de précision, 16 bits, 2 ou 4 quadrants, à deux canaux. Il dispose d'une interface de donnée parallèle de 16 bits partagée pour les deux canaux, et de 2 bits d'adressage afin de déterminer le canal de conversion à utiliser.

Sa sortie en courant peut être convertie en tension par le biais d'un montage à amplificateur opérationnel.

<sup>3</sup> Datasheet de l'AD7760 disponible en annexe 2b

<sup>4</sup> Datasheet de l'AD5547 disponible en annexe 2c

## 6.6 FPGA (FIELD-PROGRAMMABLE GATE ARRAY)

### 6.6.1 Nécessité

La première carte ADDA développée pour le projet MOLIS ne comportait pas de logique de commande. Les convertisseurs A/D-D/A étaient pilotés par une carte tierce comportant une FPGA, et la connexion se faisait via un système de mezzanine, comme illustré ci-dessous :

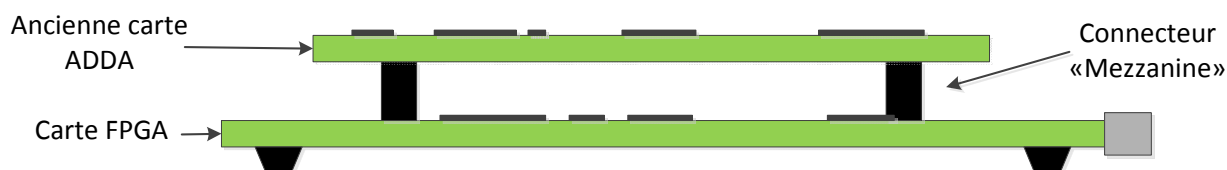


Figure 8 - Connexion par mezzanine

Le cahier des charges décrivant le développement de la nouvelle carte ADDA stipule que l'interface entre ces deux cartes devra désormais se faire via un fond de panier (*Backplane*), ceci dans le but d'améliorer la flexibilité du système. En effet, avec une telle interface, il est envisageable de connecter plusieurs cartes de conversion A/D-D/A à la même carte de traitement (carte FPGA).

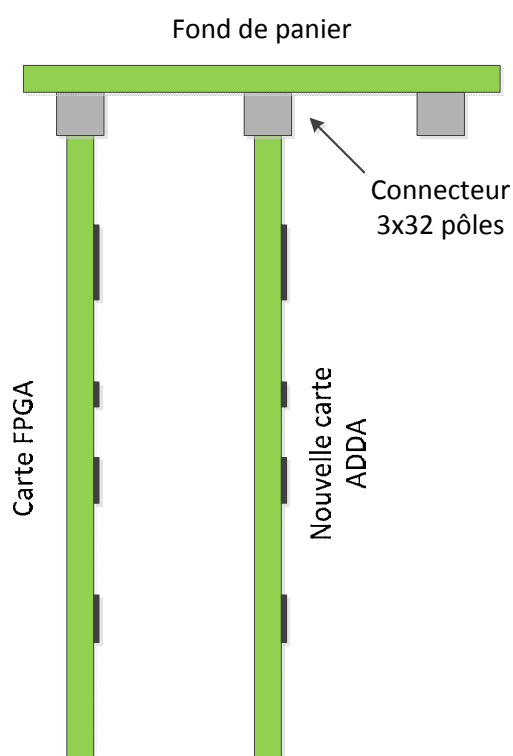


Figure 9 – Connexion via fond de panier

La carte FPGA utilisée est d'ores et déjà équipée d'un connecteur 3x32 pôles, câblé de manière à être compatible avec le protocole de communication VME (voir section 6.7).

Ce même connecteur sera donc intégré sur la nouvelle carte ADDA.

Rappelons que le convertisseur AD7626 est muni d'une interface de communication sérielle de type LVDS. Dans le cas où la configuration initiale est conservée, où la carte FPGA pilote entièrement la carte ADDA, il est donc nécessaire de faire transiter des signaux différentiels au travers du connecteur 3x32 pôles.

Sur la carte FPGA, ce dernier n'est malheureusement pas câblé de manière à autoriser des sorties de type LVDS [6]. Ceci implique que **la nouvelle carte ADDA devra posséder sa propre FPGA** pour le contrôle des différents convertisseurs A/D-D/A.

La carte FPGA aura donc pour rôle de contrôler globalement les actions effectuées par la carte ADDA, de traiter les mesures effectuées par cette dernière, et de transmettre les données vers un ordinateur de contrôle.

La carte ADDA, quant à elle, devra piloter chacun des convertisseurs A/D-D/A, selon les ordres de la carte FPGA, et éventuellement réaliser un prétraitement sur les informations renvoyées par les convertisseurs, avant de transmettre les données vers la carte FPGA.

## 6.6.2 Choix du modèle

Il s'agit maintenant de faire le choix d'une FPGA appropriée avant de l'intégrer sur la carte ADDA.

Une synthèse rapide a été effectuée par un collaborateur pour connaître les besoins internes de la FPGA (nombre de portes et de blocs logiques intégrés) nécessaires pour le contrôle des convertisseurs A/D-D/A et la logique du bus de transfert de données entre les différentes cartes.

Deux modèles de FPGA satisfaisant à ces premiers critères ont d'abord été retenus : la Actel Igloo 60 et la Spartan 6SLX4, toutes deux offrant une architecture interne suffisante.

Le modèle Actel Igloo 60 a rapidement été écarté, car il ne disposait pas d'entrées/sorties différentielles de type LVDS. Ceci rendait donc impossible le contrôle du convertisseur AD7626.

Une étude des ressources nécessaires plus poussée a donc été effectuée sur les FPGA de la famille Spartan-6 SLX.

Tout d'abord, le nombre d'entrées/sorties nécessaires sur la FPGA a été calculé. Le tableau suivant illustre ces besoins :

Composant	Signaux	Nbre de broches nécessaires	Total par composant
<b>Conn. 3x32 pôles (Compatibilité VME)</b>	D0-D15	16 broches	82 broches
	A1-A23	23 broches	
	AM0-AM5	6 broches	
	Divers signaux de contrôle	37 broches	
<b>AD7626</b>	EN0, EN1	2 I/O simples => 2 broches	10 broches
	CNV, D, DCO, CLK	4 I/O différentielles => 8 broches	
<b>AD7760</b>	D0-D15	16 broches	22 broches
	Divers signaux de contrôle	6 broches	
<b>AD5547</b>	D0-D15	16 broches	22 broches
	A0-A1	2 broches	
	Divers signaux de contrôle	4 broches	

Tableau 1 - Besoins en entrées/sorties sur la FPGA

Avec la configuration actuelle de la carte ADDA (deux AD7626, deux AD7760 et un AD5547), les besoins en nombre d'entrées/sorties sur la FPGA pour le contrôle des convertisseurs A/D-D/A et du bus de communication compatible avec le standard VME sont les suivants :

$$Nbre\ I/O = 82 + 2 \cdot 10 + 2 \cdot 22 + 22 = 168\ broches$$

Aucun boîtier disponible pour le modèle de FPGA Spartan 6SLX4 n'offre autant de broches d'entrée/sortie. Un autre modèle de la même série devra donc être utilisé.

En analysant les différents boîtiers disponibles pour la gamme de FPGA Spartan-6 SLX, deux ont été retenus [7] :

- Le boîtier CSG324 : jusqu'à 232 entrées/sorties et 116 paires différentielles, selon le modèle de FPGA choisi
- Le boîtier FG(G)484 : jusqu'à 338 entrées/sorties et 169 paires différentielles, selon le modèle choisi

Les autres boîtiers, offrant un nombre trop faible ou inutilement important d'entrées/sorties, ont été écartés.

En comparaison au boîtier CSG324, le FG(G)484 offre la possibilité d'utiliser un plus large éventail de FPGA, toujours de la série Spartan-6 SLX, tout en gardant le même boîtier, et ainsi la compatibilité physique pour le montage sur la carte électronique.

Ceci permettrait de palier à d'éventuels besoins futurs plus importants en matière de capacité de traitement dans la FPGA, c'est pourquoi le **boîtier FG(G)484** a été retenu.

Tous les modèles de FPGA disponibles dans ce boîtier offrent une capacité interne (nombre de portes et de blocs logiques) suffisamment importante pour notre application, selon la synthèse effectuée plus tôt.

Le tableau suivant illustre les modèles de FPGA disponibles dans ce boîtier :

Spartan-6	Broches d'entrée/sortie	FG(G)484
LX25	I/Os disponibles	266
	Paires différentielles	133
LX45	I/Os disponibles	316
	Paires différentielles	158
LX75	I/Os disponibles	280
	Paires différentielles	140
LX100	I/Os disponibles	326
	Paires différentielles	163
LX150	I/Os disponibles	338
	Paires différentielles	169

Tableau 2 - Boîtier FG(G)484 : nombre d'entrées/sorties

Avec 168 broches d'entrée/sortie, dont 8 paires différentielles, nécessaires pour le contrôle de la carte ADDA, chacun de ces modèles pourrait être utilisé en garantissant une marge suffisamment grande pour l'ajout d'éventuels périphériques supplémentaires.

La Spartan-6 LX25 n'intègre que deux modules de gestion du signal d'horloge (*Clock Manager Tiles, CMTs*) permettant de générer diverses fréquences à partir de celle de référence de l'oscillateur externe. Deux signaux d'horloge différents sont d'ores et déjà nécessaires pour piloter les convertisseurs AD7626 et AD7760. Ce modèle de FPGA atteint donc immédiatement ces limites et ne permet pas la génération d'un éventuel troisième signal d'horloge pour la synchronisation entre les cartes ADDA et FPGA.

Le choix définitif s'est donc porté sur le modèle **Spartan-6 LX45**, offrant non plus deux, mais quatre modules de gestion d'horloge.

Voici un court résumé des éléments qui ont motivé ce choix :

- Capacité de traitement interne (nombre de portes et de blocs logiques) suffisante
- Nombre de broches d'entrée/sortie suffisant
- Nombre de paires différentielles suffisant
- Nombre de modules de gestion d'horloge suffisant
- Possibilité d'opter pour un modèle plus performant pour palier à d'éventuels besoins plus important dans le futur, tout en conservant le même boîtier

## 6.7 CONNECTEUR 3X32 PÔLES

Le connecteur 3x32 pôles permet à la carte ADDA de s'interfacer avec la carte FPGA et éventuellement d'autres cartes ADDA via le fond de panier (*Backplane*). Ce connecteur a été câblé sur la FPGA de manière à pouvoir conserver la compatibilité avec le protocole de transmission VME.

Au besoin, il serait également possible d'utiliser un protocole de communication personnalisé, via ce même connecteur.



### 6.7.1 Bus VME

*La section suivante a pour but de d'illustrer globalement quelques notions de bases du bus VME, non pas de décrire son fonctionnement précis.*

VME est un bus informatique industriel, permettant de relier différentes cartes électroniques entre elles via un fond de panier (*backplane*).

Le bus VME est construit autour de la structure « maître-esclave » : le maître a le contrôle du bus, tandis que l'esclave, après décodage de l'adresse le concernant, répond à la commande reçue.

Le fonctionnement en mode asynchrone de VME facilite l'interfaçage dans un même système de différents éléments (processeurs, mémoires, dispositifs d'entrée/sortie) ayant des caractéristiques de vitesse différentes [8].

Les signaux du bus VME peuvent être classés en quatre catégories :

- Transfert de données
  - Le transfert de données s'effectue par l'intermédiaire d'un bus spécialisé : le DTB (*Data Transfert Bus*). Celui-ci comprend le bus d'adresses (16, 24 ou 32 bits), le bus de données (8, 16 ou 32 bits) et les signaux de commande associés.
- Arbitrage du DTB
  - L'arbitrage du DTB permet de donner le contrôle du bus aux différents maîtres, et de faire en sorte qu'un seul maître ait le contrôle du bus à un instant donné.
- Interruption prioritaire
  - Le système d'interruption prioritaire permet aux unités de demander l'interruption des activités normales du bus.
- Utilitaires
  - Le bus des utilitaires comprend une ligne d'horloge, une ligne de remise à zéro du système, une ligne de défaut système et une ligne de défaut de l'alimentation alternative du secteur.

## 6.8 INTERFACE RS-232

La nouvelle carte ADDA intègre une interface série RS-232. Cette interface permettra la réalisation d'éventuels tests de communication entre la carte ADDA et un ordinateur analysant les données fournies par celle-ci.

## 6.9 MÉMOIRE FLASH PROM

L'intégration d'une FPGA sur la carte ADDA nécessite l'utilisation de mémoires Flash PROM (*Programmable Read-Only Memory*), ayants pour but de stocker la configuration de la FPGA lorsque le système n'est plus alimenté.

Comme décrit à la section 6.6.2, la FPGA utilisée sur la carte ADDA est le modèle Spartan-6 LX45. Cependant, la possibilité est gardée d'utiliser un modèle supérieur, dans la même série, pouvant aller jusqu'à la LX150.

La capacité de la mémoire Flash doit alors être suffisamment importante pour stocker l'intégralité du fichier de configuration de la FPGA, même dans le cas où ce dernier modèle est utilisé.

D'après la documentation du fabricant Xilinx, ce modèle de FPGA nécessite deux mémoires PROMs : la **XCF32P** et la **XCF08P** [9].

Une « boucle » de transfert de donnée a donc été mise en place, selon la configuration suivante [10] :

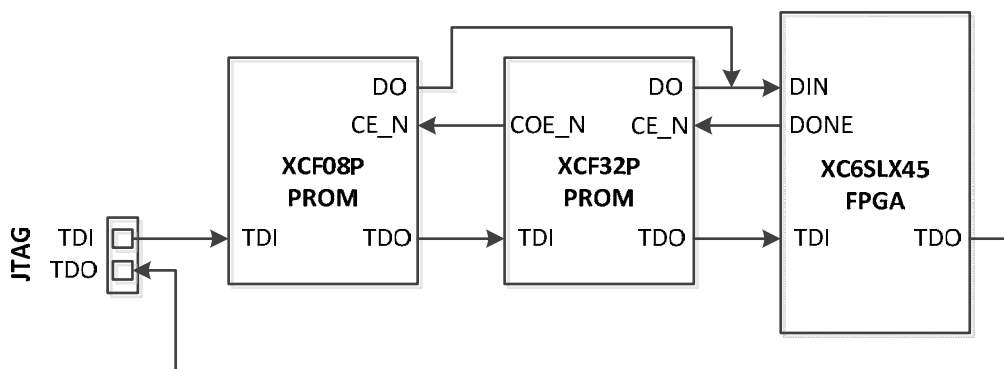


Figure 10 - Configuration sérielle PROM

La figure ci-dessus représente, sur le principe, une configuration sérielle, où la FPGA fait office de maître. Les données provenant du connecteur de programmation JTAG sont transférées aux différents éléments à travers « une boucle TDO-TDI ».

Voici une brève description des signaux concernés :

- TDI            entrée pour données sérielles du JTAG (JTAG serial data input)
- TDO           sortie pour données sérielles sur JTAG (JTAG serial data output)
- DO            sortie de données de la PROM (PROM output data signal)
- DIN           entrée de données de la FPGA (FPGA input data signal)
- DONE        signal de sortie de la FPGA pour activation de la première PROM
- COE\_N       signal de sortie de la PROM pour activer la PROM suivante
- CE\_N        signal d'activation de la PROM

## 6.10 SCHÉMATIQUE <sup>5</sup>

Cette section décrit les éléments principaux de la carte, les exigences techniques qui ont été prises en compte pour la conception du schéma et les modifications apportées par rapport à l'ancienne carte ADDA.

### 6.10.1 Modifications

Voici, sous la forme d'un tableau, une liste des principales modifications qui ont été apportées à la carte ADDA, par rapport à sa précédente version :

ADDA v1.1	ADDA v2.0
Aucune logique de commande, dépendance totale à une carte tierce maitresse	Intégration d'une FPGA sur la carte ADDA pour : - le contrôles des convertisseurs A/D - D/A - un traitement préliminaire des données transmises par les convertisseurs A/D - la communication avec la carte FPGA de traitement des données - le contrôle de l'interface série RS-232 de test
Connexion à la carte maitresse par le biais de connecteurs de type "Mezzanine"	Interface avec les autres cartes par le biais d'un connecteur 3x32 pôles, compatible avec le bus VME, via un fond de panier (backplane)
Signaux de contrôles partagés entre les convertisseurs A/D du même type	Tous les convertisseurs A/D et D/A sont commandés totalement indépendamment
Bus de données commun entre les deux convertisseurs A/D AD7760	Bus de données indépendants pour chaque AD7760
Alimentation principale +5V provenant de la carte maitresse	Alimentations principales +12V, -12V et +5V provenant du rack VME, via le connecteur 3x32 pôles
Entrées analogiques communes pour chaque type d'A/D (entrée via connecteurs SMA)	Entrées analogiques séparées pour chaque convertisseur A/D - D/A (entrée via connecteurs SMA)
Transfert de signaux différentiels à fréquences élevées (~250 MHz) entre la carte maitresse et la carte ADDA via les connecteurs de type Mezzanine	Signaux différentiels à fréquences élevées internes à la carte ADDA
Problèmes de câblage sur les signaux différentiels de type LVDS entre la carte maitresse et la carte ADDA	Révision du câblage des signaux LVDS internes à la carte ADDA

**Tableau 3 - Modifications apportées à la carte ADDA**

<sup>5</sup> Schéma complet de la carte ADDA v2.0 en annexe 3.

## 6.10.2 Alimentations

Dans cette nouvelle version, les alimentations principales proviennent du rack VME dans lequel est connectée la carte ADDA, contrairement à l'ancienne version, où l'alimentation principale était fournie par la carte FPGA maitresse.

Le tableau suivant illustre chacune des tensions d'alimentation utilisées, ainsi que leur provenance et leurs utilisations principales :

Tension d'alimentation <sup>6</sup>	Provenance	Utilisation
+12VA	Rack VME ou alimentation externe	-
-12VA	Rack VME ou alimentation externe	-
+5VA	Rack VME ou alimentation externe	Convertisseurs A/D-D/A Drivers de convertisseurs
-5VA	Régulé depuis -12VA via LM2990	Drivers de convertisseurs
+3.3VD	Régulé depuis +5VA via LTM4615	Retardateur de tension FPGA Oscillateur Mémoires PROMs Interface RS-232
+2.5VA	Régulé depuis +5VA via LM1117	Convertisseurs A/D
+2.5VD	Régulé depuis +5VA via LTM4615	FPGA Convertisseurs A/D Porte logique AND
+1.2VD	Régulé depuis +5VA via LTM4615	FPGA Mémoires PROMs

**Tableau 4 - Alimentations carte ADDA**

Sur la carte ADDA, les alimentations analogiques et digitales sont bien distinctes, même si parfois elles ont le même potentiel électrique (ex : +2.5VA et +2.5VD).

Les masses analogiques et digitales sont également distinctes, mêmes si elles sont physiquement reliées entre elles en un point. Ceci permet de garder ces masses au même potentiel en évitant au maximum les perturbations électriques entre les parties analogiques et numériques.

La carte ADDA peut être alimentée par des sources de tensions externes, dans le but de pouvoir réaliser des tests indépendamment du rack VME.

Les tensions principales (+12V, -12V et +5V) proviennent alors d'une alimentation de laboratoire ou de transformateurs externes.

<sup>6</sup> A : tension analogique, D : tension digitale

### 6.10.3 FPGA

Les entrées/sorties de la FPGA Spartan-6 SLX45 sont réparties sur quatre secteurs, que l'on nomme Banques (*Banks*). Ceci offre la possibilité de paramétrer quatre configurations d'entrées/sorties différentes sur le même composant.

Même si les broches d'alimentation principales sont communes pour la totalité de la FPGA, chaque Banque (0, 1, 2 et 3) possède sa propre tension de référence pour ses signaux de sorties, ainsi que ses propres signaux d'horloges.

De plus, certaines Banques offrent des fonctions d'entrées/sorties spécifiques. Pour prendre un exemple, les sorties différentielles de types LVDS sont configurables uniquement sur les Banques 0 et 2.

Hormis quelques broches dédiées à des fonctions bien spécifiques, chaque « pin » de la FPGA peut être configurée selon plusieurs modes de fonctionnement d'entrée/sortie.

*NOTE : voir Spartan-6 FPGA SelectIO Ressources.*

Voici, sur la carte ADDA, l'utilisation qui est faite de chaque Banque de la FPGA :

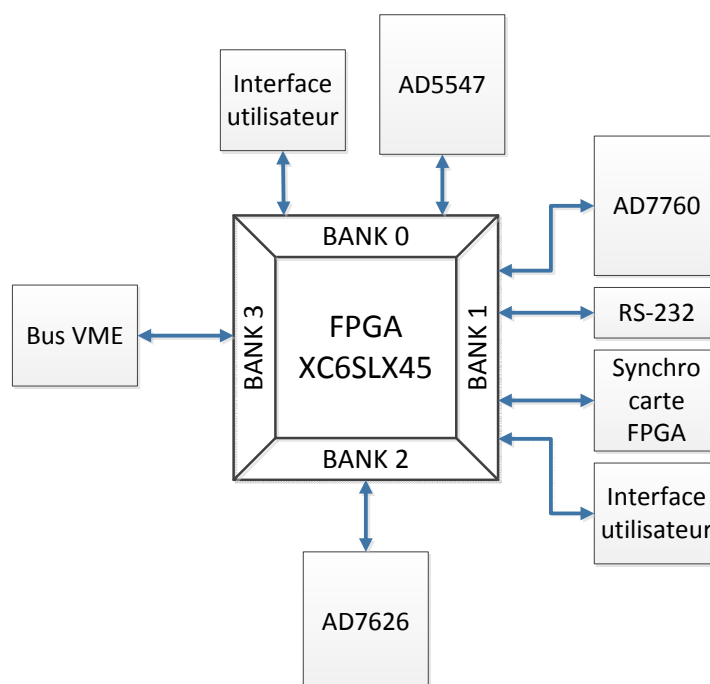


Figure 11 - Schéma bloc utilisation FPGA

- Banque 0      Contrôle du convertisseur D/A AD5547  
Gestion des périphériques utilisateurs (LEDs, switches)
- Banque 1      Contrôle du convertisseur A/D AD7760  
Contrôle de l'interface série RS-232  
Synchronisation avec la carte FPGA maitresse  
Gestion des périphériques utilisateurs (LEDs, switches)
- Banque 2      Contrôle du convertisseur A/D AD7626 par le biais de signaux LDVS (chaque signal différentiel requiert deux broches de la FPGA)
- Banque 3      Contrôle du bus VME



#### 6.10.4 Oscillateur externe et CMTs

La FPGA de la carte ADDA a besoin d'un signal d'horloge de référence pour fonctionner. Un **oscillateur externe** fonctionnant à une fréquence de **100MHz** est donc intégré à la carte et branché sur une entrée de signal d'horloge globale de la FPGA (*Global Clock Input Pad, GCLK*).

La fréquence de référence de l'oscillateur pourra alors être redistribuée sur chacune des ressources logiques internes de la FPGA.

D'autres fréquences peuvent être dérivées de ce signal de base, grâce à des modules internes de gestion d'horloge appelés **CMTs** (*Clock Management Tiles*). Chacun de ces modules inclut **deux DCMs** (Digital Clock Managers) et **une PLL** (Phase-Locked Loop). La FPGA Spartan-6 SLX45 intègre quatre modules CMTs [11].

Les DCMs fournissent des fonctionnalités avancées pour la gestion des signaux d'horloges telles que :

- Diminution des temps de montée/descente du signal d'horloge (amélioration des flancs du signal)
- Application d'un déphasage sur le signal d'horloge
- Multiplication ou division de la fréquence de base, ou synthèse d'une nouvelle fréquence par un mixe entre multiplication et division
- Conditionnement du signal d'horloge, en assurant une sortie propre avec un rapport cyclique de 50%
- Conversion des signaux d'horloges entrants vers un autre standard d'entrée/sortie, par exemple de LVTTL (*Low-Voltage Transistor-Transistor Logic*) vers LVDS (*Low-Voltage Differential Signaling*)
- Filtrage de l'instabilité du signal d'horloge

Le rôle principal de la PLL est de servir de synthétiseur de fréquence à large bande et de filtrer les instabilités des signaux d'horloges internes ou externes, en collaboration avec les DCMs.

Deux CMTs seront utilisés pour la génération des signaux d'horloge des convertisseurs A/D AD7626 et AD7760, et un troisième manipulera le signal de synchronisation transitant entre la carte ADDA et la carte FPGA maitresse.

### 6.10.5 Bus de communication

Les cartes ADDA et FPGA peuvent être insérées dans un système de rack, via un connecteur 3x32 pôles câblé de manière à être compatible avec le protocole VME.

Le Tableau 5 illustre le brochage du connecteur 96 pôles.

n° de broche	Nom du signal		
	Rangée A	Rangée B	Rangée C
1	D00	BBSY*	D08
2	D01	BCLR*	D09
3	D02	ACFAIL*	D10
4	D03	BG0IN*	D11
5	D04	BG0OUT*	D12
6	D05	BG1IN*	D13
7	D06	BG1OUT*	D14
8	D07	BG2IN*	D15
9	GND	BG2OUT*	GND
10	SYSCLK	BG3IN*	SYSFAIL*
11	GND	BG3OUT*	BERR*
12	DS1*	BRO*	SYSRESET*
13	DS0*	BR1*	LWORD*
14	WRITE*	BR2*	AM5
15	GND	BR3*	A23
16	DTACK*	AM0	A22
17	GND	AM1	A21
18	AS*	AM2	A20
19	GND	AM3	A19
20	IACK*	GND	A18
21	IACKIN*	SERCLK	A17
22	IACKOUT*	SERDAT*	A16
23	AM4	GND	A15
24	A07	IRQ7*	A14
25	A06	IRQ6*	A13
26	A05	IRQ5*	A12
27	A04	IRQ4*	A11
28	A03	IRQ3*	A10
29	A02	IRQ2*	A09
30	A01	IRQ1*	A08
31	-12v	+5v Standby	+12v
32	+5v	+5v	+5v

Tableau 5 - Pining du bus VME

Hormis les 14 broches dédiées aux alimentations du rack VME, 82 signaux de donnée, d'adresse et de contrôle sont câblés sur la FPGA.

L'analyse du taux de transfert de données nécessaire entre les cartes FPGA et ADDA va déterminer si le protocole VME pourra ou non être utilisé dans ce système.

Si ce taux de transfert dépasse les limites du bus VME, un protocole personnalisé devra être mis en place.

L'analyse de la nécessité d'un protocole personnalisé et son éventuelle conception seront réalisées par une personne tierce, et ne concerne pas ce travail de diplôme.

## 6.10.6 Convertisseur A/D AD7626

La Figure 12 et le Tableau 6 illustrent les entrées/sorties du convertisseur A/D AD7626 :

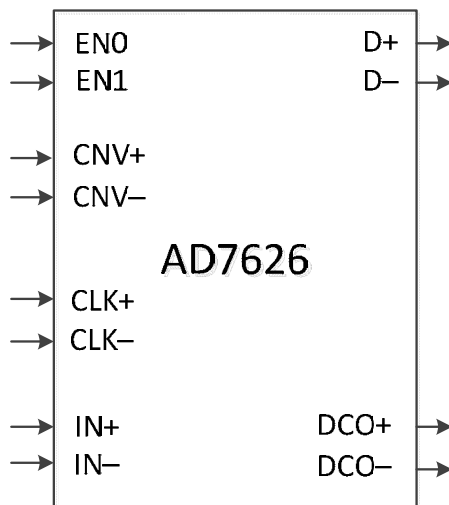


Figure 12 - Schéma bloc AD7626

Signal	Description
EN0, EN1	Signaux d’activation du convertisseur.
CNV±	Contrôle de conversion (signaux LVDS). Sur le flanc montant du signal CNV+, l’entrée analogique est échantillonnée et le cycle de conversion est initialisé
CLK±	Entrée du signal d’horloge (LVDS).
IN±	Entrée analogique différentielle.
D±	Sortie des données digitales (LVDS).
DCO±	Echo du signal d’horloge. Les bits de données sont transmis sur le flanc descendant du signal DCO+ et peuvent être lus par la FPGA sur le prochain flanc montant de ce signal.

Tableau 6 - AD7626 : entrées/sorties

Le signal analogique provenant de la bobine de Rogowski et filtré par la carte d’interface est sous la forme asymétrique. L’utilisation du driver ADA4932-1 permet de convertir ce signal de mesure en un signal différentiel, compatible avec le convertisseur AD7626. Le schéma typique à utiliser est illustré dans le datasheet du convertisseur (section *Driving the AD7626*, schéma *Single-Ended-to-Differential Configuration*).

### 6.10.7 Convertisseur A/D AD7760

La Figure 13 et le Tableau 7 illustrent les entrées/sorties du convertisseur A/D AD7760 :

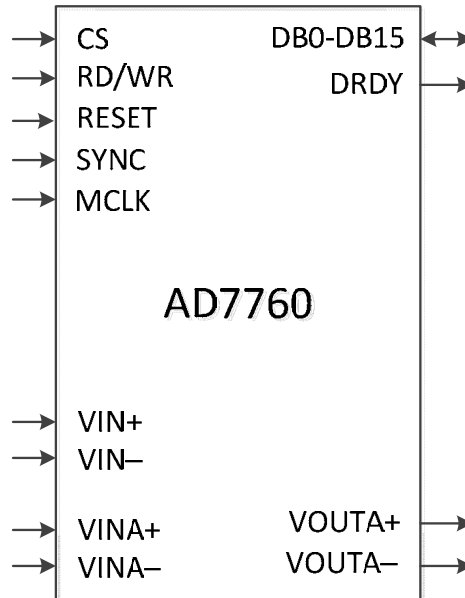


Figure 13 - Schéma bloc AD7760

Signal	Description
CS	Chip Select, signal d'activation du convertisseur.
RD/WR	Entrée Read/Write. Ce signal, en conjonction avec le Chip Select, est utilisé pour lire et écrire des données sur le convertisseur.
RESET	Signal de réinitialisation du convertisseur.
SYNC	Signal de synchronisation. Peut être utilisé pour synchroniser un système intégrant plusieurs AD7760.
DRDY	Signal de sortie Data Ready. A chaque fois qu'une nouvelle donnée de conversion est disponible, une impulsion est produite sur cette sortie.
MCLK	Entrée du signal d'horloge. Le débit de sortie du convertisseur dépend de la fréquence de ce signal.
VIN±	Entrée analogique.
VINA±	Entrée de l'amplificateur différentiel interne.
VOUTA±	Sortie de l'amplificateur différentiel interne.
DB0-DB15	Bus de données digitales bidirectionnel, d'une largeur de 16 bits. Ces broches sont de type tri-state.

Tableau 7 - AD7760: entrées/sorties

Tout comme l'AD7626, le convertisseur AD7760 dispose d'une entrée analogique différentielle, et nécessite l'utilisation d'un étage de conversion. Le schéma typique à utiliser est illustré dans le datasheet du composant (section *Driving the AD7760*, schéma *Single-Ended-to-Differential Conversion*).

## 6.10.8 Convertisseur D/A AD5547

La Figure 14 et le Tableau 8 illustrent les entrées/sorties du convertisseur D/A AD5547 :

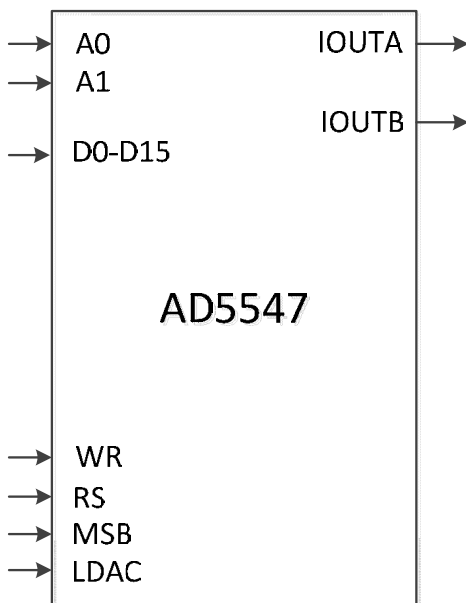


Figure 14 - Schéma bloc AD5547

Signal	Description
A0, A1	Signaux d'adresse. Permettent d'activer ou non chaque canal du convertisseur.
D0-D15	Signaux d'entrée des données digitales à convertir.
WR	Signal de contrôle d'écriture. Permet de charger le registre d'entrée du convertisseur avec les données présentes sur les lignes D0 à D15.
RS	Signal de réinitialisation du convertisseur. Remet tous les registres internes à zéro.
MSB	Configure le reset qui suit la mise sous tension du convertisseur (remise à zéro ou au milieu de gamme).
LCAC	Contrôle du registre de conversion. Permet de charger le registre conversion avec la valeur contenue sur le registre d'entrée.
IOUTA, IOUTB	Sorties analogiques en courant.

Tableau 8 - AD5547 : entrées/sorties

Le convertisseur AD5547 nécessite une tension de référence de 4.096V, générée par l'ADR434BRZ. Un montage à amplificateurs opérationnels permet de convertir la sortie en courant du convertisseur en tension analogique. Le montage recommandé est illustré dans le datasheet du composant (section *Applications*, schéma *4-Quadrant Multiplying Mode*).



## 6.11 CIRCUIT IMPRIMÉ

Cette section traite du circuit imprimé de la carte de conversion A/D-D/A.

### 6.11.1 Disposition générale

La figure suivante illustre la disposition générale de la carte ADDA :

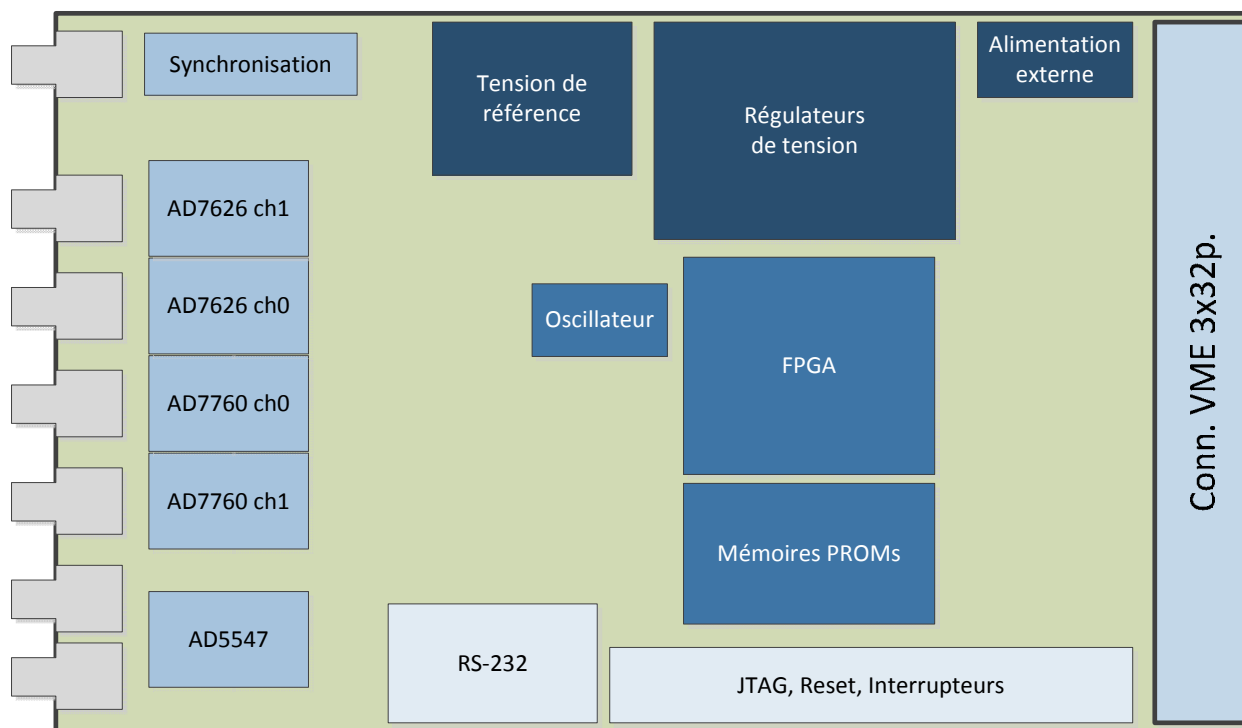


Figure 15 - Disposition générale carte ADDA

La carte électronique de format Europe (100 x 160 mm) utilisée ici dispose de 8 couches de cuivre.

Voici une photographie de la carte de conversion partiellement montée :

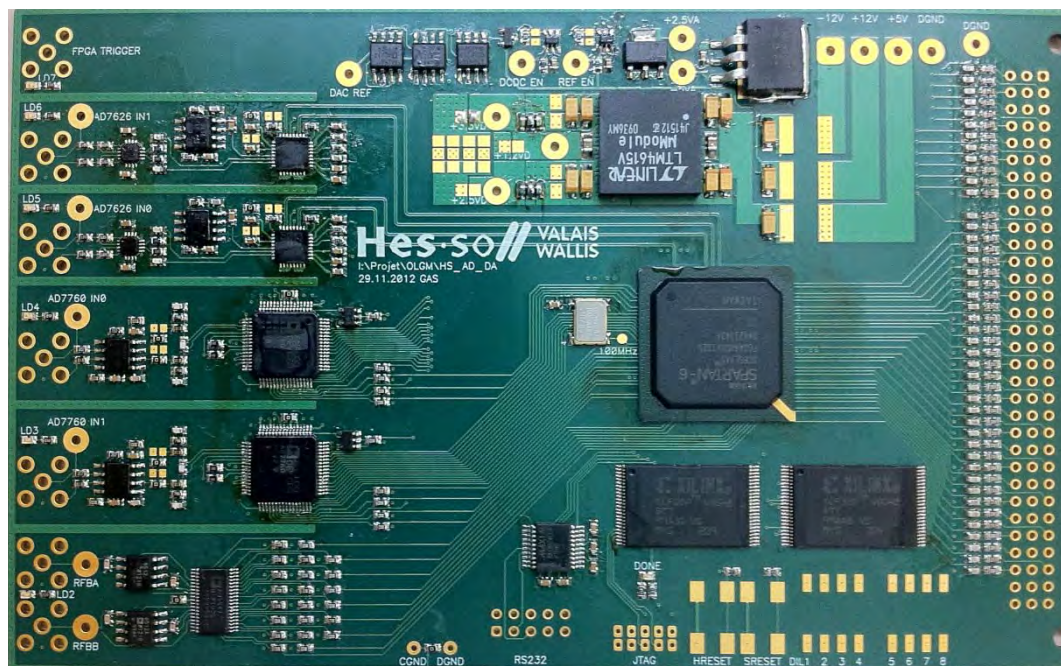


Figure 16 - Photographie de la carte ADDA

### 6.11.2 Fabrication

Le dessin du circuit imprimé et le montage des composants ont été mandatés en interne à M. Steve Gallay, collaborateur technique de la HES-SO Valais dans le domaine électronique. La fabrication de la carte électronique a été réalisée par l'entreprise Eurocircuit.

En tout, 7 semaines ont été nécessaires à la fabrication de la carte ADDA, dessin du schéma non compris. Ce délai conséquent ne m'a pas permis de disposer de la carte durant mon travail de diplôme. Les tests de fonctionnement et de performance prévus n'ont donc pas pu être réalisés.

### 6.11.3 Procédure de test

Voici, en quelques points, la procédure de test qui devra être appliquée après la fabrication de la carte ADDA :

- Tests préliminaires
  - Application des tensions d'alimentation
  - Mesure des diverses alimentations :  $\pm 12V$ ,  $\pm 5V$ ,  $+3.3V$ ,  $+2.5V$  et  $+1.2V$
  - Mesure de la tension de référence de  $+4.096V$
  - Mesure des tensions d'alimentation des différents composants actifs
- Tests fonctionnels
  - Mesure des signaux d'horloge des convertisseurs A/D
  - Mesure des signaux de contrôle des convertisseurs A/D et analyse des timings
  - Mesure du signal de sortie analogique du convertisseur D/A AD5547
  - Application de signaux sinusoïdaux sur les entrées des convertisseurs A/D AD7626 et AD7760 et mesure de leurs signaux de sortie analogiques
  - Test des entrées/sorties dédiées à l'utilisateur (commutateurs et LEDs)
- Tests de performance
  - Mesure des valeurs digitales transmises par les convertisseurs A/D, en fonction du signal d'entrée
  - Mesure du taux d'échantillonnage effectif des divers convertisseurs

D'autres tests concernant les interfaces VME et RS-232 devront être réalisés lorsque celles-ci auront été implémentées.

Enfin, le fonctionnement du système devra être testé dans son intégralité, de la mesure du signal par le biais de la bobine de Rogowski à l'analyse des données transmises par la carte de conversion A/D-D/A.

## 7 PROGRAMMATION FPGA

---

Cette section décrit la phase d'implémentation software de la FPGA.

Les principaux points traités seront les interfaces entre la FPGA et les convertisseurs A/D-D/A.

### 7.1 ENVIRONNEMENT DE TRAVAIL

- Langage de programmation : VHDL
- Développement software : Mentor Graphics® HDL Designer 2009.2
- Simulation : Mentor Graphics® ModelSim SE 6.6g
- Programmation FPGA : Xilinx™ ISE Design Suite 12.4

### 7.2 INTERFACE VME

L'interfaçage entre la carte ADDA et la carte FPGA maitresse, via le bus VME, ne sera pas décrite ici. Cette partie ne sera pas implémentée par mes soins, mais par ceux d'une tierce personne, et ce pour les raisons suivantes :

- Pas de carte ADDA à disposition durant le travail de diplôme (délais de conception et de fabrication du circuit imprimé).
- La définition du protocole de communication utilisé pour le transfert de données entre la carte FPGA maitresse et la carte ADDA sera faite par une tierce personne.
- Les spécifications techniques de ce protocole ne sont pas encore définies.

### 7.3 DÉMODULATION ET FILTRAGE

L'étage de démodulation et de filtrage, permettant d'extraire les informations d'amplitude et de déphasage de la mesure (voir 5.4), sera implémenté dans la FPGA de la carte ADDA.

Ce prétraitement apporté sur les mesures brutes, avant le transfert de données vers la FPGA maitresse, permettra d'alléger le travail devant être effectué par cette dernière.

Les 10 semaines imparties à la réalisation de ce travail de diplôme ne permettant pas l'implémentation de ce démodulateur, aux vues des autres travaux à réaliser, cette tâche sera également faite par une tierce personne.

## 7.4 INTERFACE CONVERTISSEUR A/D AD7626

Cette section décrit l'implémentation de l'interface entre la FPGA et les deux convertisseurs A/D AD7626, de l'analyse des spécifications du circuit à la validation de la simulation temporelle.

### 7.4.1 Spécifications

La configuration de l'AD7626 ne requiert aucun transfert de données. Les signaux EN0 et EN1 permettent de définir le mode de fonctionnement du convertisseur. Les deux modes suivants seront utilisés :

Mode	EN1	EN0
Hors tension	0	0
Sous tension Tension de référence de +4.096V appliquée sur la broche REF	1	0

Tableau 9 - AD7626 : modes de fonctionnement

Le convertisseur AD7626 offre également deux modes d'interfaçage :

- Mode « *Echoed-Clock Interface* »
  - Le convertisseur transmet vers la FPGA le signal d'horloge  $DCO_{\pm}$ , qui est une copie du signal d'entrée  $CLK_{\pm}$  synchronisée avec la sortie de données  $D_{\pm}$ .
  - Trois paires différentielles sont alors nécessaires pour le contrôle du convertisseur :  $CLK_{\pm}$ ,  $DCO_{\pm}$  et  $D_{\pm}$ .
- Mode « *Self-Clocked* »
  - Chaque donnée de conversion transmise vers la FPGA est précédée d'une séquence de synchronisation, aucun signal d'horloge n'est transmis par le convertisseur.
  - Ce mode permet de n'utiliser que deux paires différentielles :  $CLK_{\pm}$  et  $D_{\pm}$ .

La sélection du mode d'interfaçage se fait de manière Hardware : en connectant la broche  $DCO+$  à la masse, le mode *Self-Clocked* est sélectionnée ; dans le cas contraire, le convertisseur fonctionne en mode *Echoed-Clock Interface*.

Etant donné que le nombre de broches disponible sur la FPGA est suffisant, le mode *Echoed-Clock Interface* sera utilisé pour piloter le convertisseur. En effet, dans ce mode, le signal  $DCO_{\pm}$  transmis vers la FPGA facilite grandement la synchronisation des données réceptionnées.

Le Tableau 10 et la Figure 17 décrivent les timings spécifiés dans le datasheet du convertisseur AD7626 :

Paramètre	Symbole	Min	Typique	Max	Unité
Temps entre les conversions	$t_{CYC}$	100		10'000	ns
Temps CNV niveau haut	$t_{CNVH}$	10		40	ns
CNV à D (MSB) prêt	$t_{MSB}$			100	ns
Délais entre CNV et dernier CLK (LSB)	$t_{CLKL}$			72	ns
Période CLK	$t_{CLK}$	3.33	4	$(t_{CYC} - t_{MSB} + t_{CLKL})/n$	ns
Fréquence CLK	$f_{CLK}$		250	300	MHz
Délais entre CLK et DCO (Echoed-Clock Mode)	$t_{DCO}$	0	4	7	ns
Délais entre DCO et D (Echoed-Clock Mode)	$t_D$		0	1	ns
Délais entre CLK et D	$t_{CLKD}$	0	4	7	ns

Tableau 10 - Spécifications temporelles pour AD7626

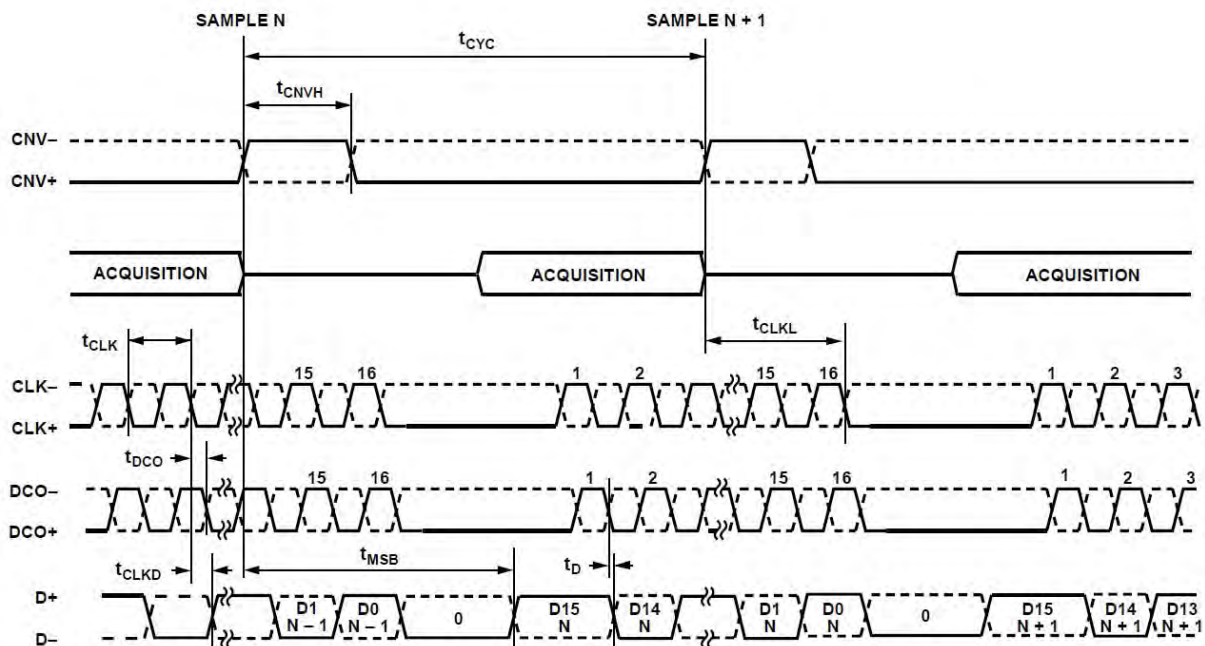


Figure 17 - Diagramme temporel pour lecture sur AD7626 en mode "Echoed-Clock"



## 7.4.2 Fonctionnement

Voici le fonctionnement global du convertisseur AD7626 :

- Le premier résultat de conversion généré après la mise sous tension du circuit est invalide.
- Chaque ordre de conversion est contrôlé par le signal  $CNV_{\pm}$  (conversion initiée sur le flanc montant de  $CNV+$ ).
- Le signal  $CNV+$  doit retourner au niveau bas ( $\leq t_{CNVH} \text{ max}$ ) pour que l'opération soit valide.
- Après démarrage, une conversion continue jusqu'à l'achèvement.
- Les impulsions supplémentaires sur le signal  $CNV_{\pm}$  sont ignorées durant la phase de conversion.
- Le contrôleur doit débiter la transmission des 16 impulsions du signal d'horloge après que le temps  $t_{MSB}$  ait écoulé.
- Les données de conversions sont mises à jour, sur la ligne  $D_{\pm}$ , sur le flanc descendant du signal  $DCO+$ .
- Le contrôleur (FPGA) doit utiliser le flanc montant du signal  $DCO+$  pour lire les données.
- La seule exigence est que la 16<sup>ème</sup> impulsion du signal  $CLK_{\pm}$  se termine avant le temps  $t_{CLKL}$ . Dans le cas contraire, les données sont perdues.
- Entre les phases de transmission des 16 impulsions du signal d'horloge, les signaux  $D_{\pm}$  et  $DCO_{\pm}$  sont au niveau bas.

### 7.4.3 Bloc d'interface

Le bloc permettant l'interfaçage entre les convertisseurs A/D AD7626 et la FPGA est illustré à la figure suivante :

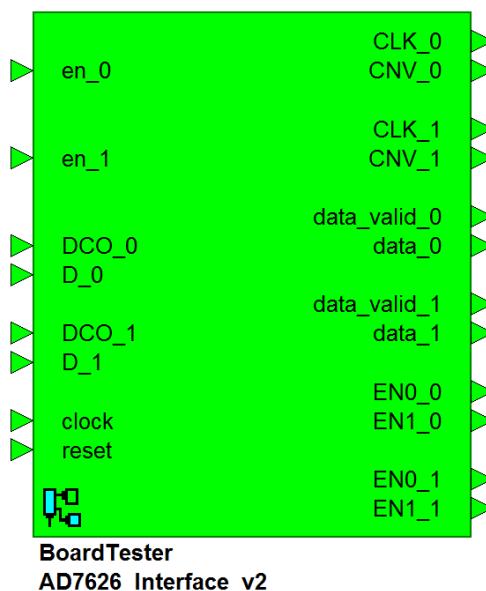


Figure 18 - Bloc d'interface AD7626

Voici une description des entrées/sorties de ce bloc :

Port	Direction	Description
en	Entrée	Commande d'activation des convertisseurs AD7626 (provient de la carte FPGA maitresse)
DCO	Entrée	Signal d'horloge provenant des AD7626
D	Entrée	Données sérielles provenant des AD7626
clock	Entrée	Signal d'horloge interne
reset	Entrée	Signal de remise à zéro interne
CLK	Sortie	Signal d'horloge transmis vers les AD7626
CNV	Sortie	Signal de démarrage d'une nouvelle conversion
EN0 EN1	Sortie	Signaux d'activation des convertisseurs
data_valid	Sortie	Indication de validité des données transmises par le convertisseur
data	Sortie	Données de la précédente conversion

Figure 19 - Entrées/sorties du bloc d'interface AD7626

*NOTE : les sigles « \_0 » et « \_1 » indiquent le convertisseur sur lequel le signal est câblé (canal « \_0 » : premier convertisseur ; canal « \_1 » : deuxième convertisseur)*

Ce bloc d'interface contient lui-même un ensemble de sous-blocs, décrits plus loin, réalisant des fonctions bien distinctes.

### Générateur d'horloge<sup>7</sup> :

Le premier sous-bloc est un synthétiseur de clock. Il utilise un module DCM (*Digital Clock Manager*) de la FPGA afin de générer un nouveau signal d'horloge, à partir de la fréquence de référence de l'oscillateur externe.

Ici, un signal à 250MHz (fréquence typique de fonctionnement du convertisseur AD7626) est généré, à partir des 100MHz de l'oscillateur externe.

La figure suivante décrit la mise en œuvre du synthétiseur de clock :

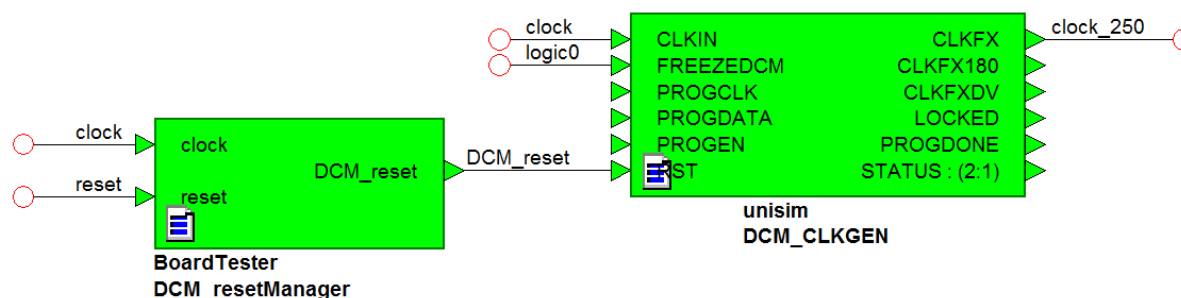


Figure 20 - Générateur d'horloge AD7626

Le signal d'horloge initial de 100MHz est introduit sur l'entrée *CLKIN*. Les paramètres internes du bloc *CLKFX\_DIVIDE* et *CLKFX\_MULTIPLY* permettent d'appliquer un certain facteur au signal entrant, afin d'obtenir la fréquence désirée en sortie.

Voici la formule appliquée dans notre cas :

$$f_{CLKFX} = f_{CLKIN} \cdot \frac{CLKFX_{MULTIPLY}}{CLKFX_{DIVIDE}} = 100MHz \cdot \frac{5}{2} = 250MHz$$

Les diverses entrées/sorties permettant de reprogrammer le générateur d'horloge pour une utilisation dynamique, de générer des signaux tiers (déphasés ou divisés) ou de contrôler le statut du module DCM ne sont pas utilisées.

Le bloc *DCM\_resetManager* contrôle le signal de remise à zéro du synthétiseur de clock.

**NOTE :** le bloc du générateur d'horloge *DCM\_CLKGEN* est spécifique à l'architecture de la FPGA Xilinx Spartan-6 et est disponible dans une librairie fournie par le fabricant.

<sup>7</sup> Le code source VHDL du bloc *DCM\_resetManager* est disponible en annexe 4a.

### Cœur de l'interface<sup>8</sup> :

Le deuxième sous-bloc représente le cœur de l'interface entre la FPGA et les convertisseurs AD7626.

Son rôle est de gérer l'ensemble des signaux de contrôle des convertisseurs. C'est donc lui qui active ou met hors tension les convertisseurs, qui transmet le signal d'horloge et qui ordonne une nouvelle conversion.

Voici comment se présente ce bloc :

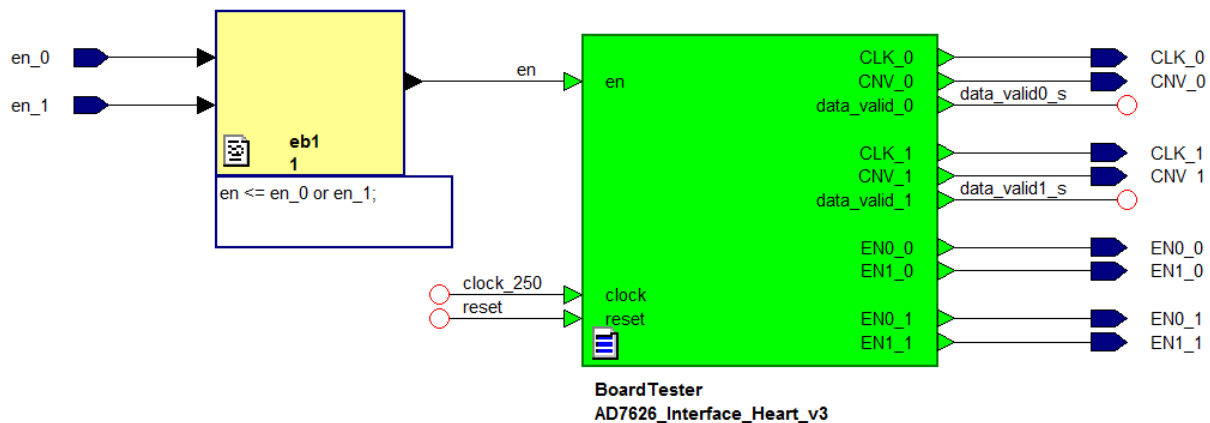


Figure 21 - Cœur de l'interface AD7626

Ce bloc utilise le clock de 250MHz pour contrôler les signaux de sortie.

Sur la carte ADDA, les deux convertisseurs A/D AD7626 sont câblés totalement indépendamment l'un de l'autre, pouvant ainsi être utilisés selon des modes de fonctionnement différents.

Cette éventualité n'étant toutefois pas envisagée pour le moment, les deux convertisseurs sont systématiquement interfacés par la FPGA selon des signaux de contrôle identiques (exemple : *CNV\_0* et *CNV\_1* sont semblables).

### Réception des données<sup>9</sup> :

Le troisième sous-bloc de l'interface gère la réception des données transmises par le convertisseur.

La figure suivante illustre la réception des données provenant du canal 0 :

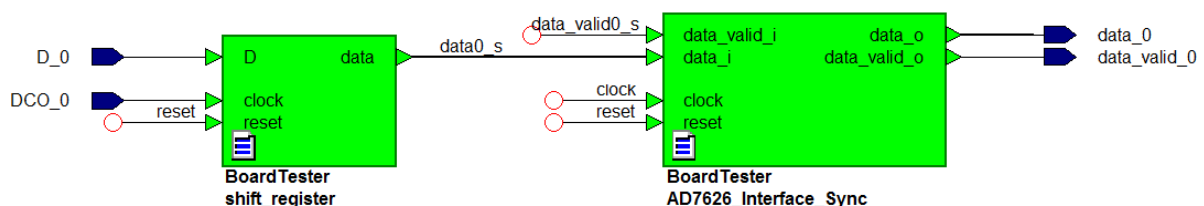


Figure 22 - Réception des données AD7626

Un registre à décalage permet en premier lieu de convertir les données sérielles en un signal de 16 bits. Chaque bit de donnée du signal *D\_0* est lu sur le flanc montant du signal *DCO\_0*.

Après réception des 16 bits de donnée correspondants à une conversion A/D, un bloc de synchronisation signale la validité des données reçues et transmet ces dernières plus loin, pour qu'elles subissent un traitement plus approfondi.

<sup>8</sup> Le **code source VHDL** du bloc *AD7626\_Interface\_Heart\_v3* est disponible en **annexe 4b**.

<sup>9</sup> Les **codes sources VHDL** des blocs *shift\_register* et *AD7626\_Interface\_Sync* sont disponibles respectivement en **annexe 4c** et **annexe 4d**.

### Buffers LVDS :

Les signaux de contrôle  $CLK_{\pm}$ ,  $CNV_{\pm}$ ,  $DCO_{\pm}$  et  $D_{\pm}$  du convertisseur AD7626 sont de type différentiel. Cela signifie qu'entre la FPGA et le convertisseur, chacun d'entre eux utilise une paire de lignes de transmission.

En revanche, à l'intérieur de la FPGA, ils sont traités comme des signaux asymétriques, sur une seule ligne électrique.

De ce fait, des buffers d'entrée/sortie de type LVDS sont utilisés pour faire la transition entre le traitement des signaux et leur transmission physique.

Voici deux illustrations de ces buffers :



unisim  
IBUFDS\_LVDS\_33

Figure 23 - Buffer LVDS d'entrée



unisim  
OBUFDS\_LVDS\_33

Figure 24 - Buffer LVDS de sortie

Le buffer LVDS d'entrée convertit un signal différentiel en un signal asymétrique facilement interprétable par la FPGA.

A l'inverse, le buffer LVDS de sortie convertit les signaux asymétriques internes en paires différentielles, afin qu'ils soient compatibles avec l'interface du convertisseur AD7626.

*NOTE : les buffers LVDS d'entrée/sortie sont spécifiques à l'architecture de la FPGA Xilinx Spartan-6 et sont disponibles dans une librairie fournie par le fabricant.*

## 7.4.4 Simulation et validation

Cette section a pour but d'illustrer les résultats des simulations effectuées et de valider le fonctionnement de l'interfaçage avec le convertisseur A/D AD7626.

Voici le schéma bloc du banc de test utilisé pour réaliser la simulation :

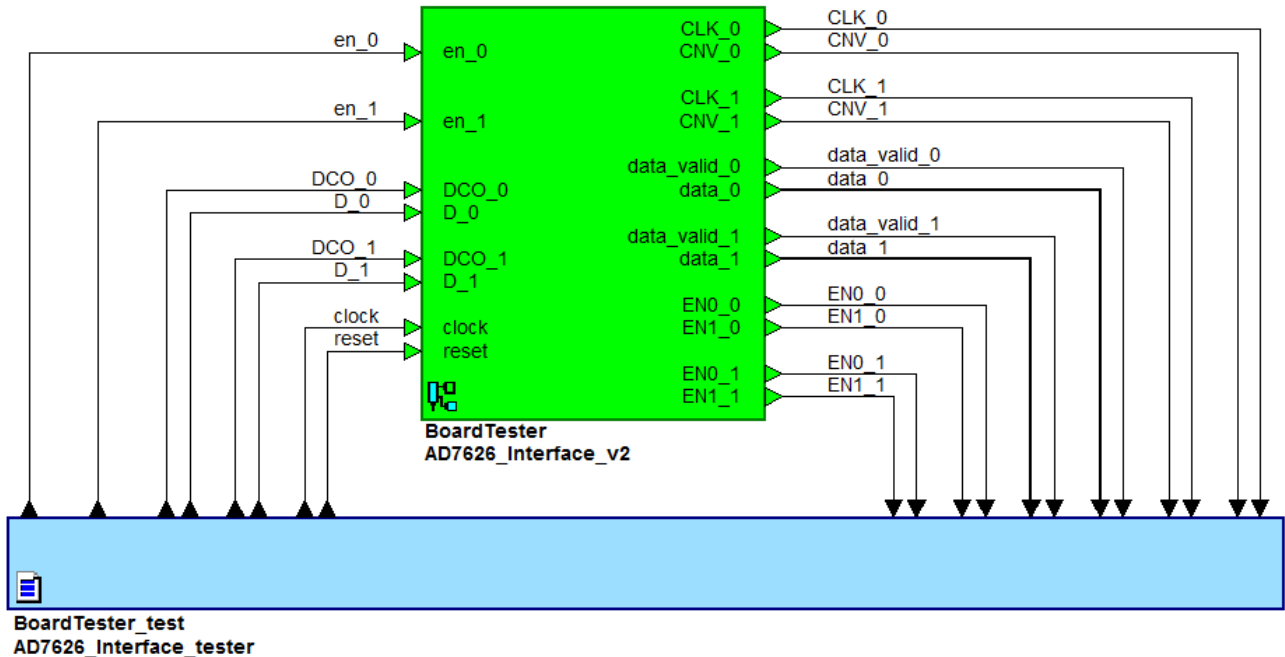


Figure 25 - AD7626 simulation : banc de test

Les signaux d'entrée de l'interface sont générés dans le bloc bleu. Les timings des signaux D et DCO, sensés provenir du convertisseur AD7626, sont contrôlés de manière à correspondre aux spécifications décrites dans le datasheet du composant.

### Signal d'horloge :

Le premier bloc simulé est le générateur de clock. Celui-ci doit fournir au convertisseur un signal d'horloge ayant une fréquence de 250MHz.

Voici le résultat obtenu :

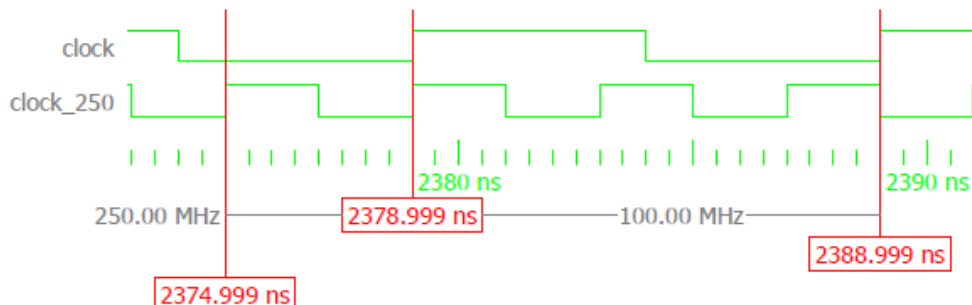


Figure 26 - AD7626 simulation : clock 250MHz

Pour un signal *clock* à 100MHz en entrée, le signal de sortie *clock\_250* a bien une fréquence de 250MHz. Le fonctionnement du bloc **DCM\_CLKGEN** est donc **validé**.



## Signaux de contrôle :

Voici la simulation des signaux de contrôle du convertisseur AD7626 :

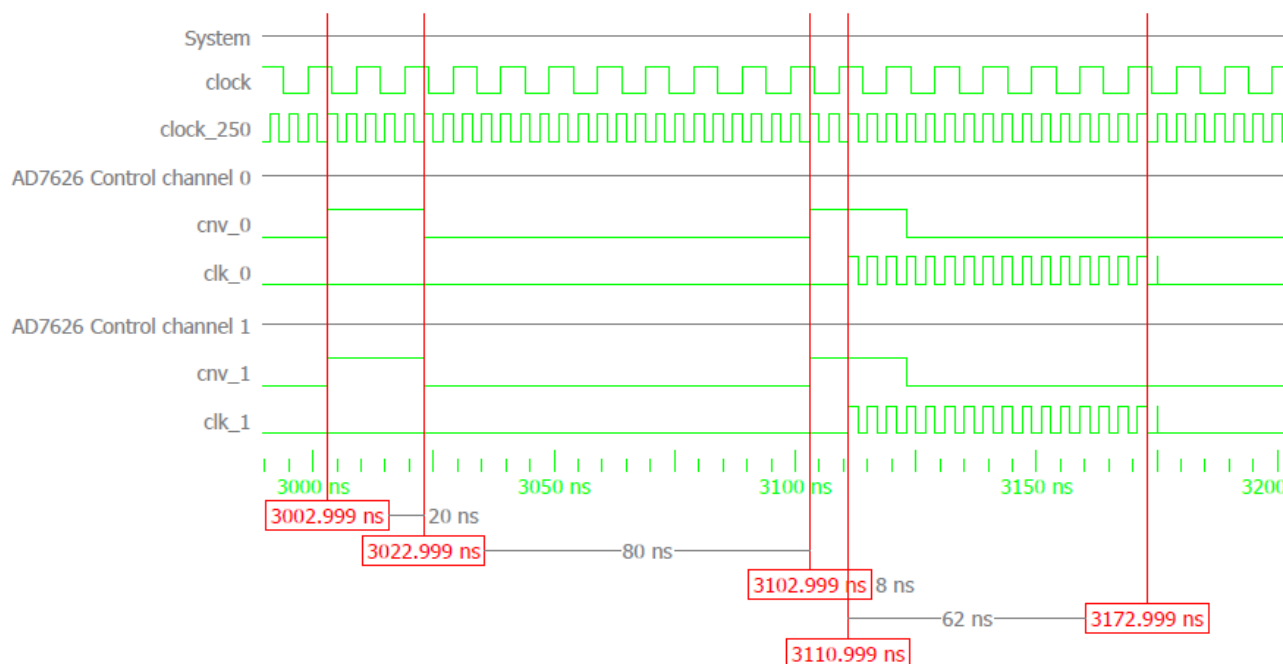


Figure 27 - AD7626 simulation : signaux de contrôle

*NOTE : les signaux de contrôle d'un seul convertisseur AD7626 (canal 0) sont présentés, car ceux du second canal sont parfaitement identiques.*

La largeur d'impulsion du signal CNV est de 20ns, ce qui correspond aux exigences.

Le temps entre les conversions, qui correspond à la durée d'un cycle de lecture, est de 100ns. Ceci permet de procéder à 10 millions de lectures par seconde, et ainsi d'obtenir un taux de conversion de **10 Méga échantillons par seconde**, ce qui correspond aux performances maximales du convertisseur AD7626.

Le transfert des 16 impulsions du signal d'horloge débute 108ns ( $\geq t_{MSBmax}$ ) après le flanc montant du signal CNV et se termine 70ns ( $\leq t_{CLKLmax}$ ) après le flanc montant de l'impulsion suivante sur le signal CNV.

Les timings des signaux de contrôle correspondent aux exigences spécifiées dans le datasheet du convertisseur AD7626. Le bon fonctionnement du bloc **AD7626\_Interface\_Heart\_v3** est donc **validé**.

## Lecture des données :

Voici la simulation d'une lecture des données transmises par le convertisseur AD7626 :

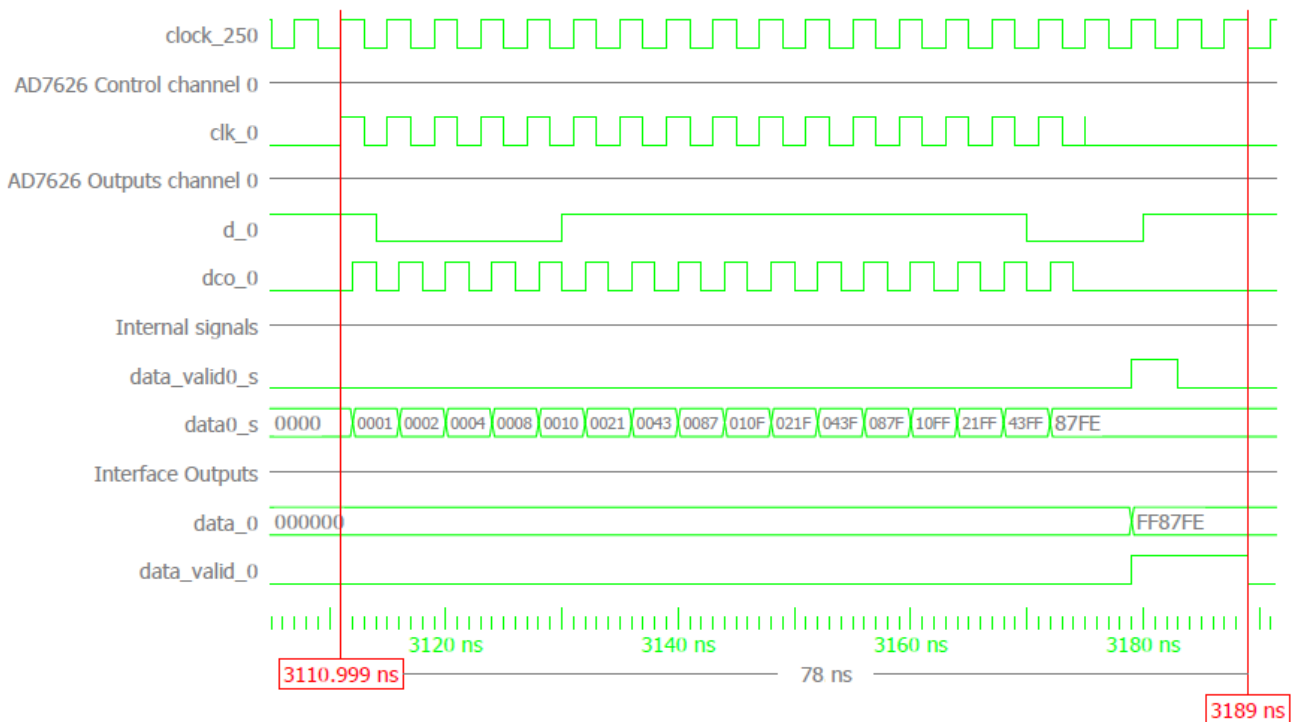


Figure 28 - AD7626 simulation : lecture des données de conversion

*NOTE : cette simulation ne concerne qu'un seul convertisseur (canal 0), mais le fonctionnement est parfaitement similaire pour le second AD7626 (canal 1).*

Les 16 impulsions du signal d'horloge *clk\_0* sont bien transmises vers le convertisseur. En revanche, une 17<sup>ème</sup> impulsion parasite apparaît, comme le montre la figure suivante :



Figure 29 - AD7626 simulation : impulsion parasite sur signal d'horloge

Ce phénomène est dû au fait que le signal d'horloge *clock\_250* est assigné au signal *clk\_0* de manière asynchrone. Une assignation synchrone n'est pas possible dans ce cas.

Ce parasite est très difficile à éliminer de manière software et sa propagation physique jusqu'au convertisseur est peu probable.

Le cas échéant, ce phénomène aurait un effet incertain sur le bon fonctionnement du convertisseur.

Lors de la phase de test de la carte ADDA, des mesures devront donc être effectuées pour déterminer si le parasite se propage ou non en dehors de la FPGA.

Comme spécifié dans le datasheet du convertisseur A/D AD7626, les données (signal *d\_0*) sont mises à jour sur le flanc descendant du signal d'horloge *dco\_0*. Chaque bit de donnée est lu par la FPGA sur le flanc montant de *dco\_0*. Le registre à décalage stocke alors les bits de donnée sur le signal *data0\_s*, et indique par une impulsion sur le signal *data\_valid0\_s* que les 16 bits ont bien été reçus.

Après apparition de cette impulsion, le bloc de synchronisation stocke la valeur de conversion sur le signal *data\_0* et indique à son tour, par une impulsion sur le signal *data\_valid\_0*, que la donnée est prête à être traitée.

La durée totale nécessaire au stockage de la donnée transmise par le convertisseur est de 78ns. Cette tâche peut donc aisément être réalisée durant les 100ns séparant deux ordres de conversion (flancs montants du signal CNV).

La lecture des données transmises par le convertisseur se déroule selon les spécifications décrites dans le datasheet du composant.  
Le bon fonctionnement des blocs ***shift\_register*** et ***AD7626\_Interface\_Sync*** est donc **validé**.

#### **Validation :**

La **propagation du parasite** présent sur les signaux d'horloge *clk\_0* et *clk\_1* **devra être vérifiée** lors de la phase de mesures de la carte ADDA.

En dehors de ce phénomène, le fonctionnement théorique global de l'interface avec le convertisseur AD7626 correspond aux spécifications du datasheet et est donc **validé**.

## 7.5 INTERFACE CONVERTISSEUR A/D AD7760

Ce chapitre décrit l'implémentation de l'interface entre la FPGA et les convertisseurs A/D AD7760.

### 7.5.1 Spécifications

La configuration de l'AD7760 requiert une écriture sur deux registres de contrôle, ainsi qu'une phase de synchronisation. Ceci permet de définir le mode de fonctionnement du convertisseur et de synchroniser chacun des deux AD7760 afin qu'ils mettent à jour simultanément leur registre de sortie.

Le filtrage numérique configurable sur le convertisseur supprime le bruit de quantification et réduit le débit de données en sortie.

Le filtrage numérique présente des avantages certains par rapport au filtrage analogique : il n'introduit pas de bruit ou de distorsion importante et peut avoir un comportement parfaitement linéaire en termes de phase.

L'AD7760 utilise trois filtres FIR en série. En utilisant différentes combinaisons de rapports de décimation, une large gamme de débit de données peut être sélectionnée.

Le tableau suivant présente les débits de sorties possibles en fonction de la fréquence d'horloge interne du convertisseur et des rapports de décimation des trois filtres :

Fréquence ICLK	Filtre 1	Filtre 2	Filtre 3	Etat des données	Largeur de bande passante	Débit de données en sortie
20 MHz	Court-circuité	Court-circuité	Court-circuité	Non filtrées	10 MHz	20 MHz
20 MHz	4x	Court-circuité	Court-circuité	Partiellement filtrées	1.35 MHz	5 MHz
20 MHz	4x	Court-circuité	2x	Entièrement filtrées	1 MHz	2.5 MHz
20 MHz	4x	2x	Court-circuité	Partiellement filtrées	562.5 kHz	2.5 MHz
20 MHz	4x	2x	2x	Entièrement filtrées	500 kHz	1.25 MHz
20 MHz	4x	4x	Court-circuité	Partiellement filtrées	281.25 kHz	1.25 MHz
20 MHz	4x	4x	2x	Entièrement filtrées	250 kHz	625 kHz
20 MHz	4x	8x	Court-circuité	Partiellement filtrées	140.625 kHz	625 kHz
20 MHz	4x	8x	2x	Entièrement filtrées	125 kHz	312.5 kHz
20 MHz	4x	16x	Court-circuité	Partiellement filtrées	70.3125 kHz	312.5 kHz
20 MHz	4x	16x	2x	Entièrement filtrées	62.5 kHz	156.25 kHz
20 MHz	4x	32x	Court-circuité	Partiellement filtrées	35.156 kHz	156.25 kHz
20 MHz	4x	32x	2x	Entièrement filtrées	31.25 kHz	78.125 kHz
12.288 MHz	4x	8x	2x	Entièrement filtrées	76.8 kHz	192 kHz
12.288 MHz	4x	16x	2x	Entièrement filtrées	38.4 kHz	96 kHz
12.288 MHz	4x	32x	Court-circuité	Partiellement filtrées	21.6 kHz	96 kHz
12.288 MHz	4x	32x	2x	Entièrement filtrées	19.2 kHz	48 kHz

Tableau 11 - Débits de données de sortie AD7760

Dans notre cas, le choix s'est porté sur une sortie totalement filtrée, permettant d'obtenir la valeur moyenne du signal d'entrée converti [12]. En fonction de ce critère, le débit de données maximal de 2.5MHz a été sélectionné.

La bande passante ainsi obtenue est de 1MHz, ce qui ne sera pas suffisant dans la totalité des applications du système. En effet, le signal de perturbation qui doit être injecté puis mesuré peut atteindre des fréquences de 2MHz, en fonction de l'utilisation qui est faite du système. Dans un tel cas, le convertisseur AD7626, offrant une bande passante de 95MHz, sera favorisé par rapport à l'AD7760.

La fréquence d'horloge interne du convertisseur AD7760,  $f_{\text{ICLK}}$ , est dérivée du signal d'horloge appliqué en entrée, MCLK. Il y a deux manières de générer le signal ICLK :

- $\text{ICLK} = \text{MCLK}$  (CDIV = 1)
- $\text{ICLK} = \text{MCLK} / 2$  (CDIV = 0)

Le choix entre ces deux options se fait via le bit *CDIV* du registre de contrôle n°2 (*CONTROL REGISTER 2*).

Dans notre cas, la première option a été choisie ( $\text{ICLK} = \text{MCLK}$ ). Ceci permet d'appliquer un **signal d'horloge d'entrée de 20MHz** pour obtenir une fréquence interne de 20MHz également.

L'application d'un signal d'horloge à fréquence double (40MHz) ne présente ici aucun intérêt. Au contraire, ceci ne ferait qu'augmenter la difficulté de transmission du signal entre la FPGA et le convertisseur, et détériorer sa qualité en termes de rapport cyclique et de droiture des flancs montants et descendants.

Le Tableau 12, ainsi que les figures Figure 30 et Figure 31 décrivent les timings spécifiés dans le datasheet du convertisseur AD7760 :

Paramètre	Symbole	Limite $T_{\text{MIN}}$ , $T_{\text{MAX}}$	Unité
Fréquence d'horloge principale appliquée	$f_{\text{MCLK}}$	1 40	MHz min MHz max
Horloge interne du modulateur, dérivée de MCLK	$f_{\text{ICLK}}$	500 20	kHz min MHz max
Largeur d'impulsion de nDRDY	$t_1$	$0.5 \times t_{\text{ICLK}}$	typ
Flanc descendant de nDRDY à flanc descendant de nCS	$t_2$	10	ns min
Flanc descendant de nRD/WR à flanc descendant de nCS	$t_3$	3	ns min
Temps d'accès aux données	$t_4$	$(0.5 \times t_{\text{ICLK}}) + 16\text{ns}$	max
Temps nCS niveau bas (lecture)	$t_5$	$t_{\text{ICLK}}$	min
Temps nCS niveau haut entre les lectures	$t_6$	$t_{\text{ICLK}}$	min
Flanc montant de nCS à flanc montant de nRD/WR	$t_7$	3	ns min
Temps de maintien du bus	$t_8$	11	ns max
Temps nCS niveau bas (écriture)	$t_{15}$	$4 \times t_{\text{ICLK}}$	min
Temps nCS niveau haut entre adresse et données	$t_{16}$	$4 \times t_{\text{ICLK}}$	min
Temps d'établissement des données	$t_{17}$	5	ns min
Temps de maintien du bus	$t_{18}$	0	ns min

Tableau 12 - Spécifications temporelles pour AD7760

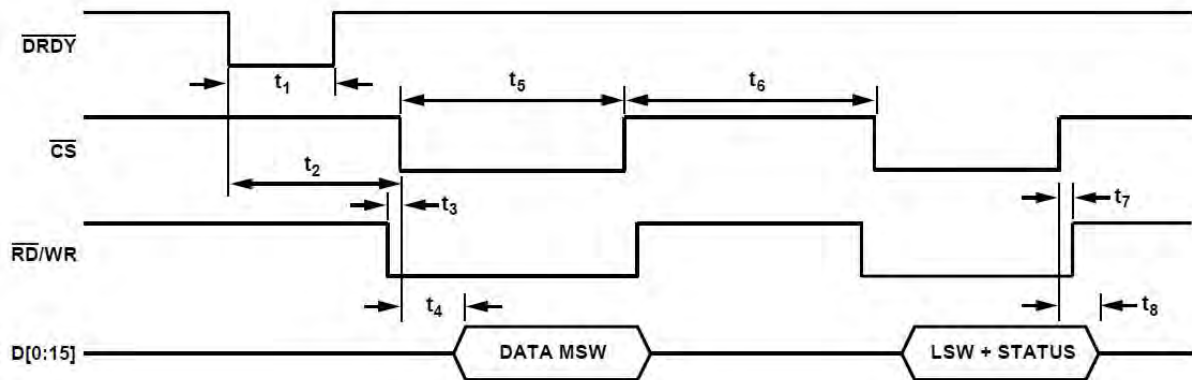


Figure 30 - Diagramme temporel pour lecture sur AD7760

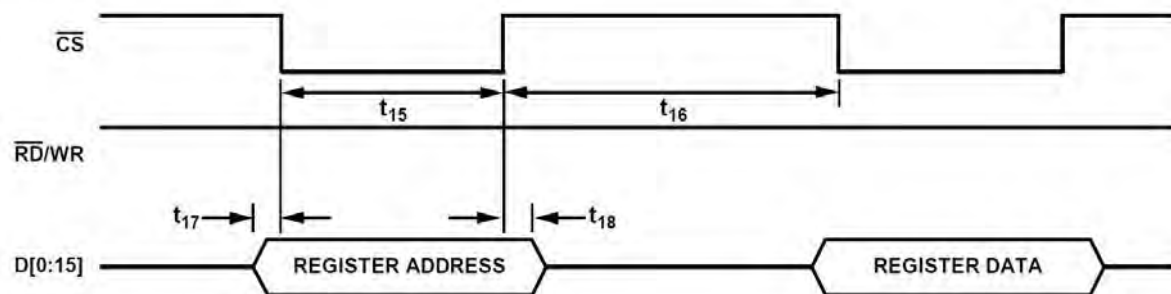


Figure 31 - Diagramme temporel pour écriture sur AD7760



## 7.5.2 Fonctionnement

Voici la séquence de démarrage recommandée pour utiliser le convertisseur :

- Mettre le convertisseur sous tension.
- Appliquer le signal d'horloge *MCLK* en entrée.
- Mettre au niveau bas l'entrée *RESET* pendant une période de *MCLK* au minimum
- Attendre un minimum de 2 périodes de *MCLK* après avoir remis l'entrée *RESET* au niveau haut.
- Ecrire sur le registre de contrôle n°2 (*CONTROL REGISTER 2*) pour activer le convertisseur. Le rapport de division du signal d'horloge (*CDIV*) doit être programmé à cet instant.
- Ecrire sur le registre de contrôle n°1 (*CONTROL REGISTER 1*) pour configurer le taux de données de sortie désiré.
- Attendre au minimum 5 périodes de *MCLK* après avoir remis l'entrée *CS* au niveau haut.
- Mettre l'entrée *SYNC* au niveau bas durant 4 périodes de *MCLK* au minimum, afin de synchroniser les différents convertisseurs AD7760.

### Lecture :

Pour lire les 24 bits de données transmis par le convertisseur, deux opérations de lecture sont effectuées.

L'impulsion présente sur le signal *DRDY* indique qu'un nouveau résultat de conversion est disponible. Les deux entrées *RD/WR* et *CS* sont mises au niveau bas pour effectuer la première opération de lecture. Le bus de données du convertisseur devient alors actif et les 16 bits de poids fort de la donnée sont transmis vers la FPGA.

Les entrées *RD/WR* et *CS* doivent retourner au niveau haut durant une période complète de *ICLK* avant d'effectuer la deuxième opération de lecture.

La deuxième lecture contient les 8 bits de poids faible de la donnée de conversion ainsi que 6 bits de statut, dont la définition est illustrée par le Tableau 13.

Après que *RD/WR* et *CS* soient retournés au niveau haut, le bus de données revient à l'état de haute impédance.

Les deux opérations de lecture doivent être achevées avant qu'un nouveau résultat de conversion soit disponible.

## Bits de statut :

Voici la définition des bits de statut transmis durant une lecture des données de conversion :

D7	D6	D5	D4	D3	D2	D1	D0
DVALID	OVR	UFILT	LPWR	FILTOK	DLOK	'0'	'0'

Tableau 13 - AD7760 : bits de statut

- DVALID : indique la validité des données de conversion
- OVR : indique que le courant d'entrée a dépassé le seuil maximal
- UFILT : indique l'utilisation d'un filtre personnalisé
- LPWR : indique que le convertisseur est en mode *low-power*
- FILTOK : quand un filtre personnalisé est en cours d'utilisation, un checksum est généré lorsque les coefficients passent à travers les filtres. Ce checksum est comparé à celui qui a été chargé sur le convertisseur. S'ils sont similaires, ce bit est mis à '1'.
- DLOK : lorsqu'un filtre personnalisé est configuré, un checksum est généré. Celui-ci est alors comparé au checksum correspondant aux coefficients des filtres. Si les deux sont égaux, ce bit est mis à '1'.

## Ecriture :

Le convertisseur AD7760 contient des registres de 16 bits programmables.

Deux opérations d'écritures sont nécessaires pour configurer ces registres : la première contient l'adresse du registre et la seconde contient les données.

Le signal *RD/WR* est maintenu au niveau haut alors que la ligne *CS* est mise au niveau bas durant 4 périodes de *ICLK* au minimum. L'adresse est verrouillée durant ce temps.

*CS* est remis au niveau haut pour un minimum de 4 périodes de *ICLK* avant que les données soient placées sur le bus.

Si une opération de lecture survient entre les deux opérations d'écriture, il est nécessaire recommencer la séquence depuis le début (envoi de l'adresse et des données).

## Registres de contrôle :

Voici le format du premier registre de contrôle (*CONTROL REGISTER 1*) :

MSB														LSB	
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
DL_FILT	RD_OVR	RD_GAIN	RD_OFF	RD_STAT	0	SYNC	FLEN_3	FLEN_2	FLEN_1	FLEN_0	nBYP_F3	nBYP_F1	DEC2	DEC1	DEC0

Tableau 14 – Format registre de contrôle 1

Ce registre se trouve à l'adresse **0x0001**.

Voici la description des champs :

- **DL\_FILT** : *Download Filter*. Ce bit doit être mis à '1' avant de télécharger un filtre personnalisé.
- **RD\_OVR** : *Read Overrange*. Si ce bit est mis à '1', la prochaine opération de lecture contiendra le seuil de dépassement de plage, au lieu des données de conversion.
- **RD\_GAIN** : *Read Gain*. Si ce bit est mis à '1', la prochaine opération de lecture contiendra la valeur du registre de gain.
- **RD\_OFF** : *Read Offset*. Si ce bit est mis à '1', la prochaine opération de lecture contiendra la valeur du registre d'offset.
- **RD\_STAT** : *Read Status*. Si ce bit est mis à '1', la prochaine opération de lecture contiendra la valeur du registre de statut.
- **SYNC** : *Synchronize*. Mettre ce bit à '1' initialise la routine interne de synchronisation.
- **FLEN [3:0]** : *Filter Length*. Ces bits doivent être configurés lorsque DL\_FILT est mis à '1', avant le téléchargement d'un filtre personnalisé.
- **nBYP\_F3** : *Bypass Filter 3*. Si ce bit est mis à '0', le filtre 3 est court-circuité.
- **nBYP\_F1** : *Bypass Filter 1*. Si ce bit est mis à '0', le filtre 1 est court-circuité.
- **DEC [2:0]** : *Decimation Rate*. Ces bits déterminent le facteur de décimation du filtre 2. S'ils sont tous à '0', le filtre est court-circuité.

Voici la manière dont ce registre est configuré, dans notre cas :

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0

Tableau 15 - Configuration registre de contrôle 1

De cette manière, les filtres 1 et 3 sont utilisés avec leur facteur de décimation par défaut, respectivement 4x et 2x, et le filtre 2 est court-circuité. Nous obtenons ainsi un débit de données de sortie de 2.5MHz, comme souhaité (voir Tableau 11).

La valeur transmise lors de l'écriture sur ce registre de contrôle est donc **0x0018**.

Voici le format du deuxième registre de contrôle (*CONTROL REGISTER 2*) :

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	0	0	0	nCDIV	0	PD	LPWR	1	D1PD

Tableau 16 - Format registre de contrôle 2

Ce registre se trouve à l'adresse **0x0002**.

Voici la description des champs :

- **nCDIV** : *Clock Divider*. Ce bit détermine le facteur de division appliqué au signal *MCLK* pour produire le signal d'horloge interne *ICLK*.
- **PD** : *Power Down*. Fixer ce bit à '1' met le convertisseur hors tension.
- **LPWR** : *Low Power*. Fixer ce bit à '1' permet d'utiliser le convertisseur en mode basse consommation.
- **D1PD** : *Differential Amplifier Power Down*. Fixer ce bit à '1' met hors tension l'amplificateur différentiel interne.

Voici la manière dont ce registre est configuré, dans notre cas :

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0

Tableau 17 - Configuration registre de contrôle 2

De cette manière, le convertisseur et l'amplificateur différentiel sont sous-tension, et la fréquence du signal d'horloge interne *ICLK* est égale à la fréquence du signal d'horloge appliqué *MCLK*.

La valeur transmise lors de l'écriture sur ce registre de contrôle est donc **0x0022**.

### 7.5.3 Bloc d'interface

Le bloc permettant l'interfaçage entre les convertisseurs A/D AD7760 et la FPGA est illustré à la figure suivante :

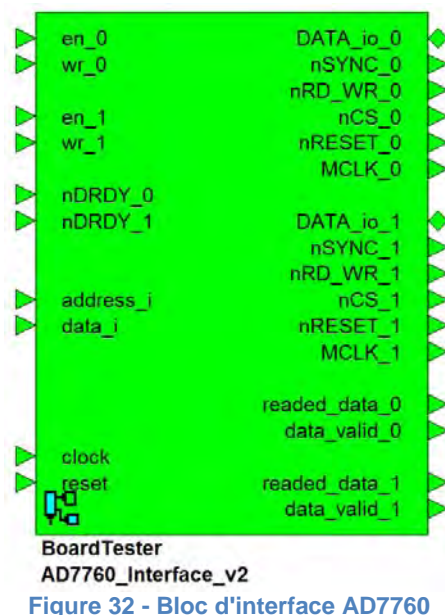


Figure 32 - Bloc d'interface AD7760

Voici une description des entrées/sorties de ce bloc :

Port	Direction	Description
en	Entrée	Commande d'activation des convertisseurs AD7760 (provient de la carte FPGA maitresse)
wr	Entrée	Commande d'écriture sur les convertisseurs
nDRDY	Entrée	Signal indiquant qu'une nouvelle donnée de conversion est disponible
address_i	Entrée	Adresse du registre à configurer
data_i	Entrée	Données à écrire sur le registre à configurer
clock	Entrée	Signal d'horloge interne
reset	Entrée	Signal de remise à zéro interne
DATA_io	Sortie	Bus de données bidirectionnel entre FPGA et AD7760
nSYNC	Sortie	Signal de synchronisation des convertisseurs
nRD_WR	Sortie	Signal de lecture/écriture
nCS	Sortie	Signal de sélection des convertisseurs
nRESET	Sortie	Signal de remise à zéro des convertisseurs
MCLK	Sortie	Signal d'horloge appliqué aux convertisseurs
readed_data	Sortie	Données de la précédente conversion
data_valid	Sortie	Indication de validité des données transmises par le convertisseur

Tableau 18 - Entrées/sorties du bloc d'interface AD7760

*NOTE : les sigles « \_0 » et « \_1 » indiquent le convertisseur sur lequel le signal est câblé (canal « \_0 » : premier convertisseur ; canal « \_1 » : deuxième convertisseur).*

Ce bloc d'interface contient lui-même un ensemble de sous-blocs décrits plus loin.

## Générateur d'horloge :

Le premier sous-bloc est un synthétiseur de clock (voir 7.4.3), dont voici une illustration de la mise en œuvre :

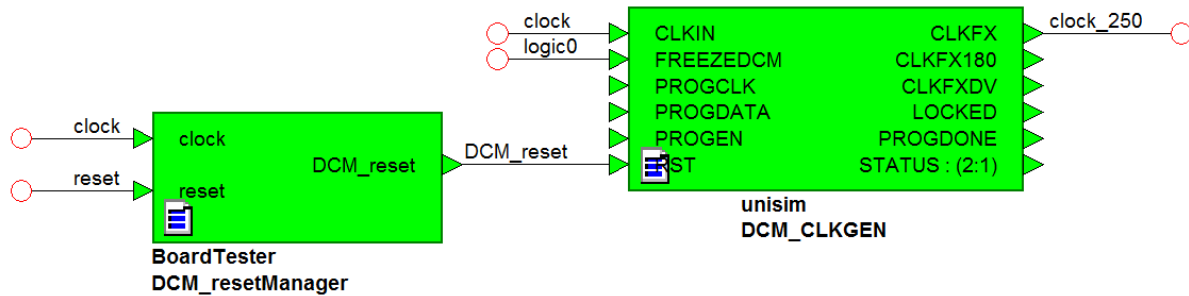


Figure 33 - Générateur d'horloge AD7760

Ici, les paramètres internes  $CLKFX\_DIVIDE$  et  $CLKFX\_MULTIPLY$  sont configurés de manière à obtenir une fréquence de sortie de 20MHz, nécessaire au bon fonctionnement des convertisseurs AD7760.

Voici la formule appliquée dans ce cas :

$$f_{CLKFX} = f_{CLKIN} \cdot \frac{CLKFX_{MULTIPLY}}{CLKFX_{DIVIDE}} = 100MHz \cdot \frac{2}{10} = 20MHz$$



### Cœur de l'interface<sup>10</sup> :

Le deuxième sous-bloc représente le cœur de l'interface entre la FPGA et les convertisseurs AD7760.

Son rôle est de commander les autres blocs de l'interface. Il fait donc office de superviseur, contrôlant le comportement général des convertisseurs.

Voici comment se présente ce bloc :

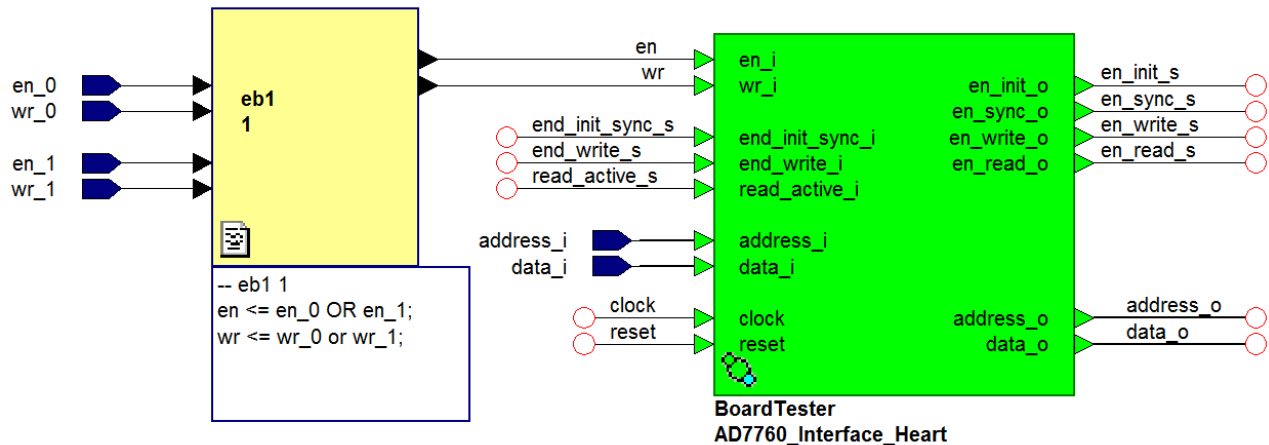


Figure 34 - Cœur de l'interface AD7760

Ce bloc utilise le signal d'horloge de 100 MHz généré par l'oscillateur externe pour contrôler les signaux de sortie.

Comme pour les convertisseurs AD7626, les AD7760 sont systématiquement interfacés par la FPGA selon des signaux de contrôle identiques.

Les sorties *en\_init\_o*, *en\_sync\_o*, *en\_write\_o* et *en\_read\_o* indiquent les manipulations à effectuer sur les convertisseurs :

- Initialisation : remise à zéro des convertisseurs et écriture sur les registres de contrôle
- Synchronisation : synchronisation des deux AD7760 afin de garantir un travail simultané sur les deux canaux de conversion
- Ecriture : configuration des registres de contrôle
- Lecture : lecture des données de conversion transmises par les AD7760

Les entrées *end\_init\_sync\_i*, *end\_write\_i* et *read\_active\_i* permettent d'indiquer le déroulement en cours ou la fin d'une manipulation précédemment initiée sur les convertisseurs.

Prenons l'exemple suivant :

*Une impulsion sur la sortie en\_init\_o indique que l'on désire initialiser les convertisseurs. Lorsque cette tâche est accomplie, une impulsion apparaît sur l'entrée end\_init\_sync\_i, signalant que l'on est prêt à réaliser une nouvelle manipulation.*

Dans le cas d'une écriture sur les convertisseurs, les sorties *address\_o* et *data\_o* reprennent les valeurs présentes sur les entrées *address\_i* et *data\_i* afin de spécifier l'adresse du registre à configurer et la valeur que l'on désire affecter à ce dernier.

La particularité de ce bloc est qu'il n'est pas implémenté sous forme de code VHDL, mais sous forme de machine d'états.

<sup>10</sup> La machine d'états du bloc **AD7760\_Interface\_Heart** est disponible en annexe 5a.

### Initialisation et synchronisation<sup>11</sup> :

Le troisième sous-bloc de l'interface gère les phases de remise à zéro et de synchronisation des convertisseurs AD7760.

Voici l'allure de ce bloc :

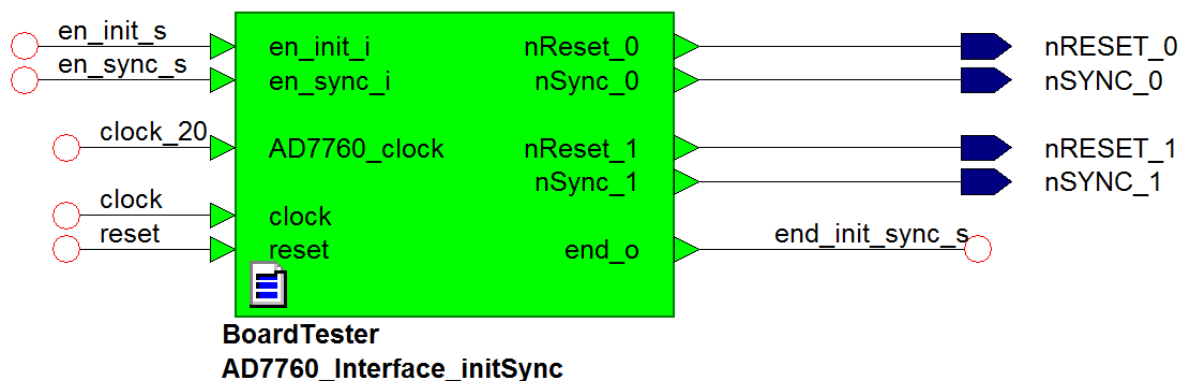


Figure 35 - Initialisation et synchronisation AD7760

Ce bloc utilise l'horloge de 100MHz pour gérer ces signaux internes, mais il met à jour les sorties uniquement sur un flanc montant du signal d'horloge de 20MHz.

Ceci permet de synchroniser les signaux de contrôle des AD7760 avec leur signal d'horloge.

Ce bloc est utilisé lors des phases de configuration des convertisseurs. Il réinitialise les registres de contrôles au démarrage de la séquence d'initialisation, par le biais du signal *nRESET*, et synchronise les différents canaux de conversion à la fin de cette même séquence, via le signal *nSYNC*.

<sup>11</sup> Le code source VHDL du bloc *AD7760\_Interface\_initSync* est disponible en annexe 5b.

## Ecriture<sup>12</sup> :

Le quatrième sous-bloc implémente la gestion des phases d'écriture sur les convertisseurs. Voici sa représentation graphique :

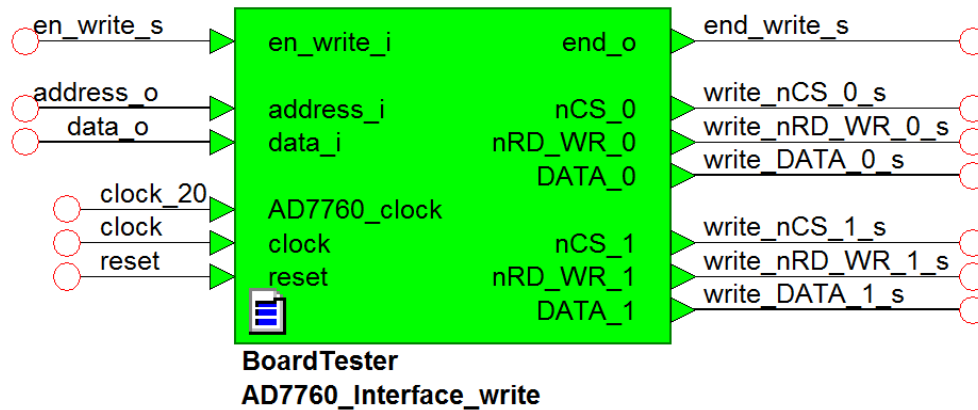


Figure 36 - Ecriture AD7760

Ce bloc utilise le signal d'horloge de 100MHz pour gérer ses signaux internes, mais il met à jour les sorties uniquement sur un flanc montant du signal d'horloge de 20MHz.

Ce bloc est utilisé durant les phases d'écriture sur l'AD7760. Il permet de reconfigurer le convertisseur, grâce aux signaux suivants :

- nCS : signal de sélection du convertisseur
- nRD\_WR : signal d'indication de lecture/écriture
- DATA : bus de données

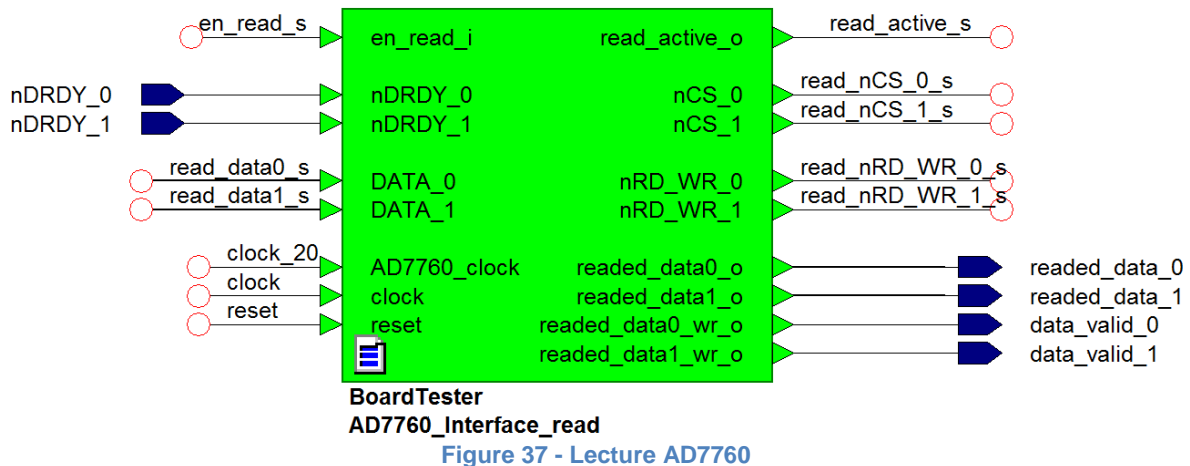
Ces signaux ne sont pas câblés directement sur le convertisseur A/D, mais passent par un buffer tri-state gérant les conflits sur les lignes bidirectionnelles et sur les lignes pilotées par plusieurs sources.

<sup>12</sup> Le code source VHDL du bloc *AD7760\_Interface\_write* est disponible en annexe 5c.

### Lecture<sup>13</sup> :

Le cinquième sous-bloc implémente la gestion des phases de lecture des données provenant du convertisseur AD7760.

Voici sa représentation graphique :



Comme le bloc de gestion des phases d'écriture, celui-ci utilise le signal d'horloge de 100MHz, provenant de l'oscillateur externe, pour gérer ses signaux internes. Les sorties sont mises à jour uniquement sur un flanc montant du signal d'horloge de 20MHz transmis vers le convertisseur.

Le signal d'entrée *nDRDY* indique qu'une nouvelle donnée de conversion est disponible. Dès lors, les signaux *nCS* et *nRD\_WR* sont manipulés de manière à indiquer que l'on désire procéder à une lecture sur le canal de conversion sélectionné.

Lorsque les 24 bits de donnée sont reçus et que les bits de statut indiquent que la donnée est valide, l'information est retransmise vers la sortie *readed\_data\_o* afin de pouvoir être traitée par la FPGA.

La sortie *readed\_data\_wr* indique alors que la donnée de conversion est valide et entièrement lue.

<sup>13</sup> Le code source VHDL du bloc *AD7760\_Interface\_read* est disponible en annexe 5d.

## 7.5.4 Simulation et validation

Cette section a pour but d'illustrer les résultats des simulations effectuées et de valider le fonctionnement de l'interfaçage avec le convertisseur A/D AD7760.

Voici le schéma bloc du banc de test utilisé pour réaliser la simulation :

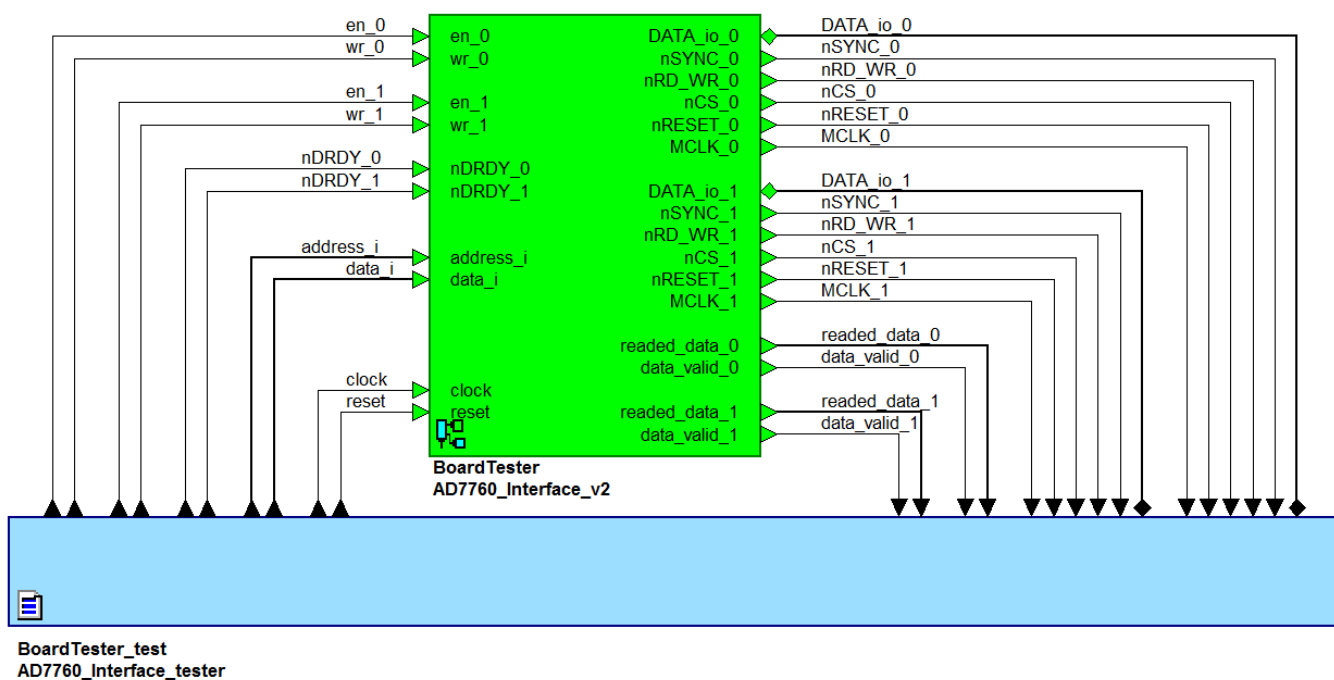


Figure 38 - AD7760 simulation : banc de test

Les signaux d'entrée de l'interface sont générés dans le bloc bleu. Les timings des signaux *nDRDY* et *DATA\_io*, sensés provenir de l'AD7760 lors d'une lecture des données de conversion, sont contrôlés de manière à correspondre aux spécifications décrites dans le datasheet du composant.

### Signal d'horloge :

Le premier bloc simulé est le générateur de clock. Celui-ci doit fournir au convertisseur un signal d'horloge ayant une fréquence de 20MHz.

Voici le résultat obtenu :

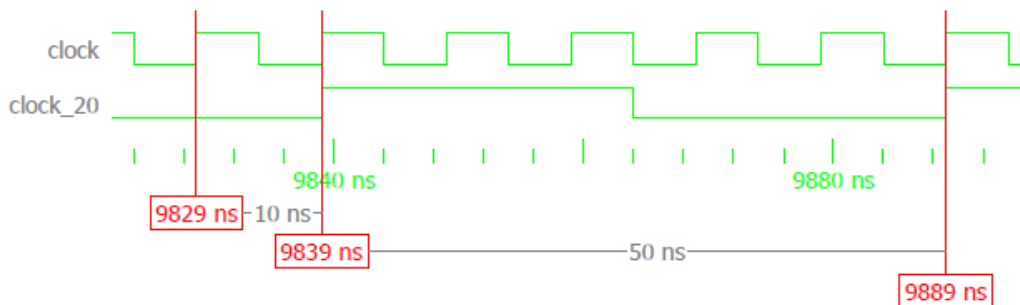


Figure 39 - AD7760 simulation : clock 20MHz

Pour un signal *clock* à 100MHz en entrée, le signal de sortie *clock\_20* a bien une fréquence de 20 MHz. Le fonctionnement du bloc **DCM\_CLKGEN** est donc **validé**.

## Initialisation :

Voici la simulation de la phase d'initialisation du convertisseur AD7760 :

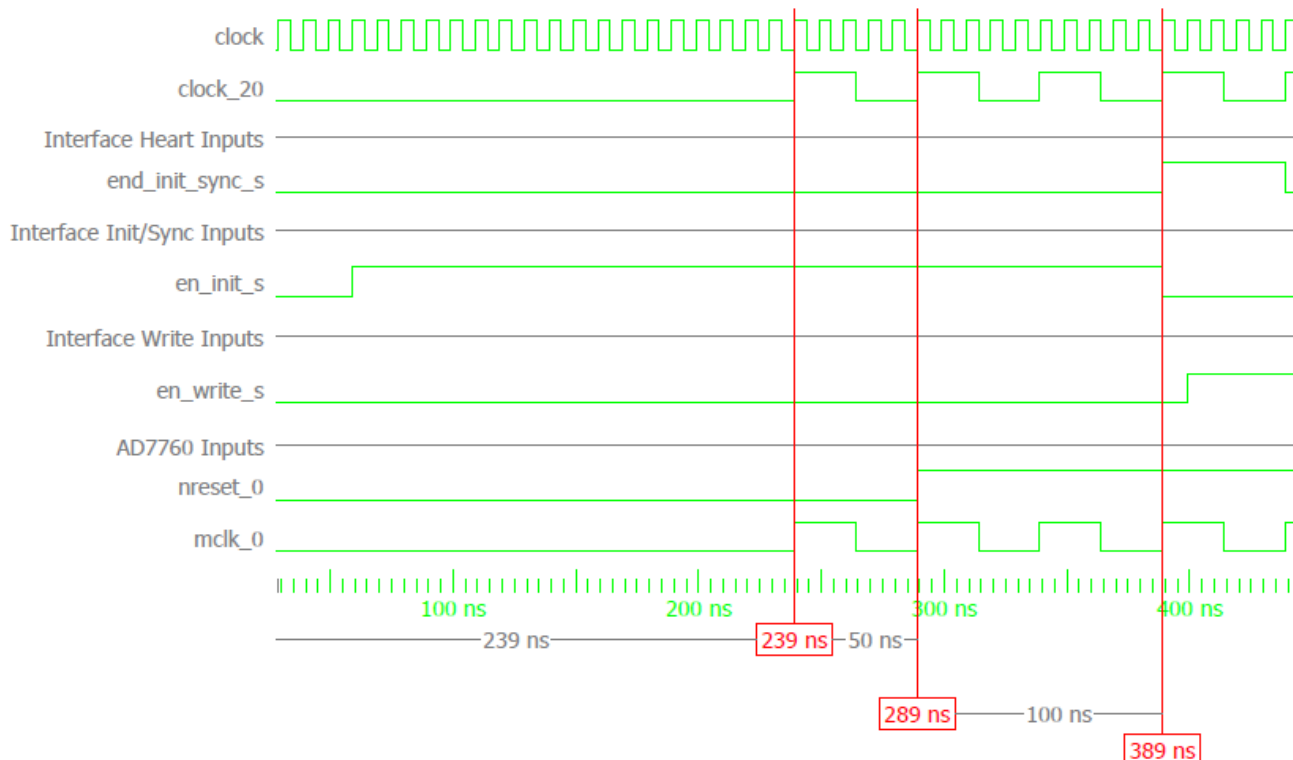


Figure 40 - AD7760 simulation : initialisation

*NOTE : les signaux concernant un seul convertisseur AD7760 (canal 0) sont présentés, car ceux du second canal sont contrôlés de manière identique. Cette note est valable pour toutes les simulations présentées dans ce chapitre.*

Le bloc DCM\_CLKGEN présenté plus haut n'est pas capable de fournir immédiatement le signal d'horloge de sortie. Lors de la simulation, un retard de 239ns est constaté entre le moment où l'on applique le signal d'entrée de 100MHz et le moment où le clock de 20MHz est généré.

Le signal de remise à zéro *nReset\_0*, qui est actif au niveau bas, est remis au niveau haut après une période du signal d'horloge *MCLK\_0*.

Dès lors que le signal de remise à zéro est retourné au niveau haut, nous attendons encore deux périodes du signal *MCLK\_0* avant de terminer la première phase d'initialisation du convertisseur.

Cette séquence correspond aux exigences décrites au point 7.5.2. Le bon fonctionnement du bloc *AD7760\_Interface\_initSync* est donc partiellement validé. Il reste à vérifier la phase de synchronisation pour valider totalement ce bloc.

## Ecriture sur registre de contrôle :

Voici la simulation de l'écriture sur le registre de contrôle n°2 :

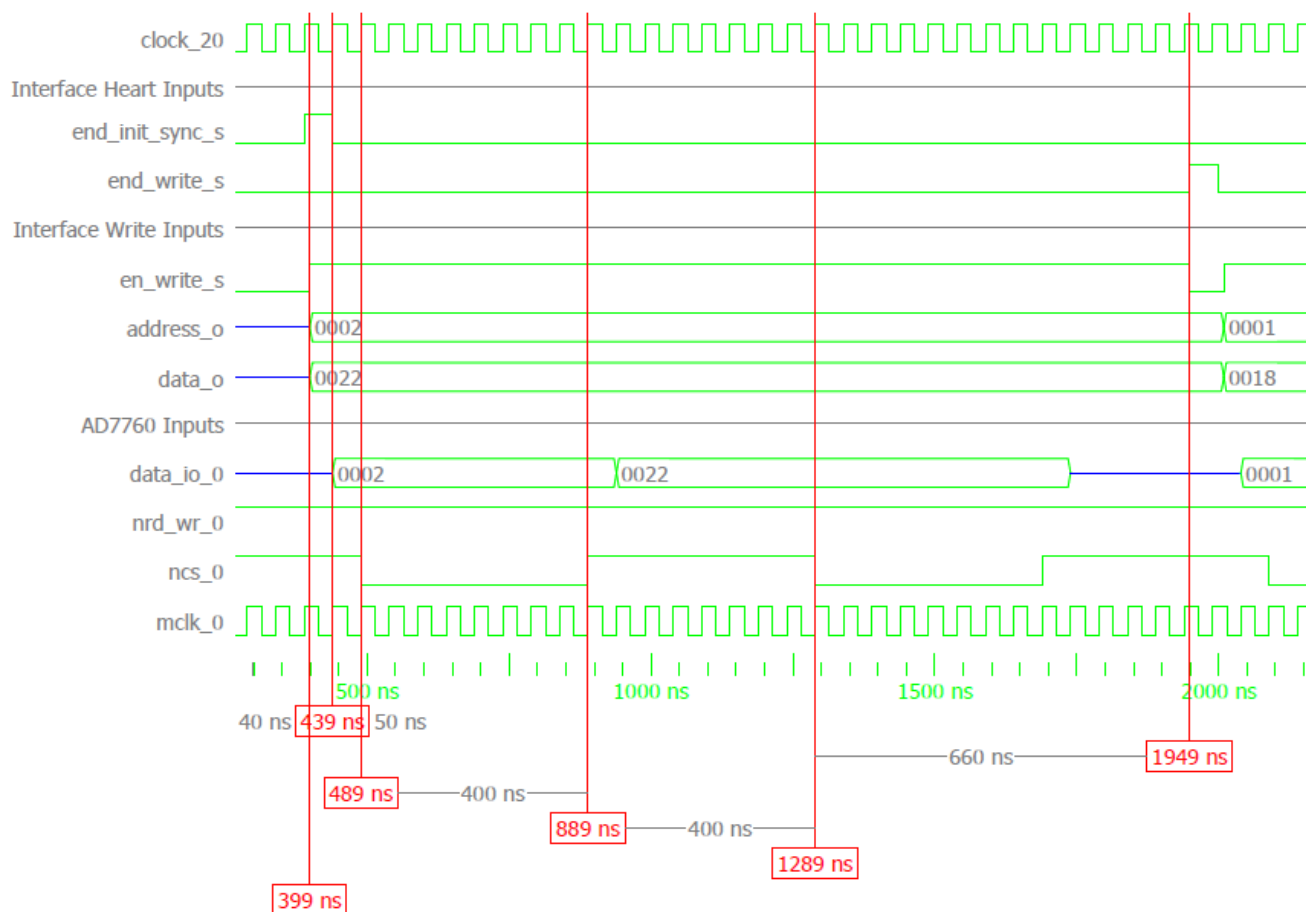


Figure 41 - AD7760 simulation : écriture sur registre de contrôle n°2

La première étape de configuration du convertisseur consiste en une écriture sur le registre de contrôle n°2. Celle-ci démarre dès que la phase d'initialisation est terminée (impulsion sur le signal *end\_init\_sync\_s*).

Comme présenté au point 7.5.2, la configuration d'un registre nécessite deux ordres de lecture : un premier pour indiquer l'adresse du registre à configurer, et un second pour transmettre les données.

Ici, le signal *en\_write\_s* au niveau haut indique qu'une séquence d'écriture est en cours.

Le signal interne *address\_o* contient la valeur 0x0002, correspondant à l'adresse du registre de contrôle n°2, et *data\_o* contient la valeur 0x0022, correspondant à la donnée qui doit être stockée dans ce registre.

Dans un premier temps, le signal *address\_o* est transmis sur le bus de données du convertisseur *DATA\_io\_0*. *nCS\_0* passe alors au niveau bas pour une durée de 400ns, puis revient au niveau haut, afin de réaliser l'écriture proprement dite.

La même séquence est reconduite, afin de transmettre cette fois-ci le signal de données *data\_o*.

L'écriture sur le registre de contrôle n°1 n'est pas présentée ici, car elle correspond parfaitement, en terme de timings, à l'écriture sur le registre de contrôle n°2.

Les timings  $t_{15}$ ,  $t_{16}$ ,  $t_{17}$  et  $t_{18}$  décrits au point 7.5.1 sont respectés. Le bon fonctionnement du bloc **AD7760\_Interface\_write** est donc **validé**.



## Synchronisation :

Voici la simulation de la phase de synchronisation des convertisseurs :

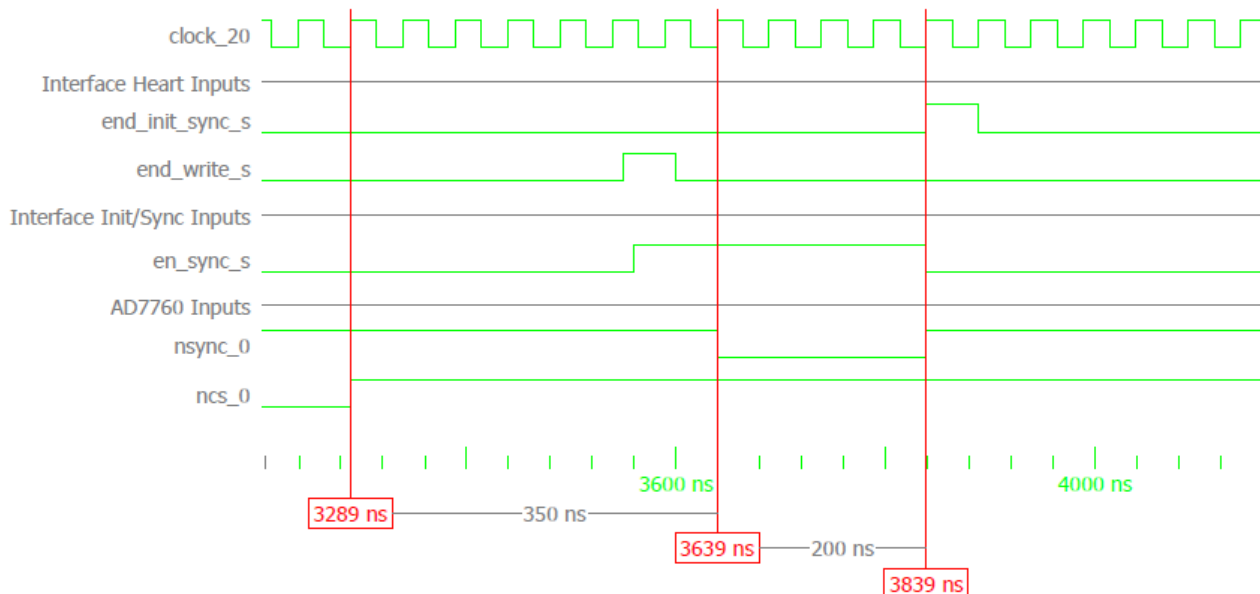


Figure 42 - AD7760 simulation : synchronisation

Lorsque les phases d'écriture sur les registres de contrôle sont terminées, *nCS\_0* passe au niveau haut. Dès lors, il faut attendre au minimum 5 période d'horloge avant de procéder à la synchronisation des convertisseurs.

Ici, 7 périodes d'horloge s'écoulent entre le passage au niveau haut de *nCS\_0* et l'activation du signal *nSync\_0*.

Ce signal reste au niveau bas durant 4 périodes d'horloge, ce qui correspond aux exigences minimales.

Une impulsion sur le signal *end\_init\_sync\_s* indique alors la fin de la phase de synchronisation des convertisseurs.

La séquence décrite au point 7.5.2 est respectée. Le bon fonctionnement du bloc **AD7760\_Interface\_initSync** est donc **validé**.

## Lecture :

Voici la simulation d'une lecture des données de conversion :

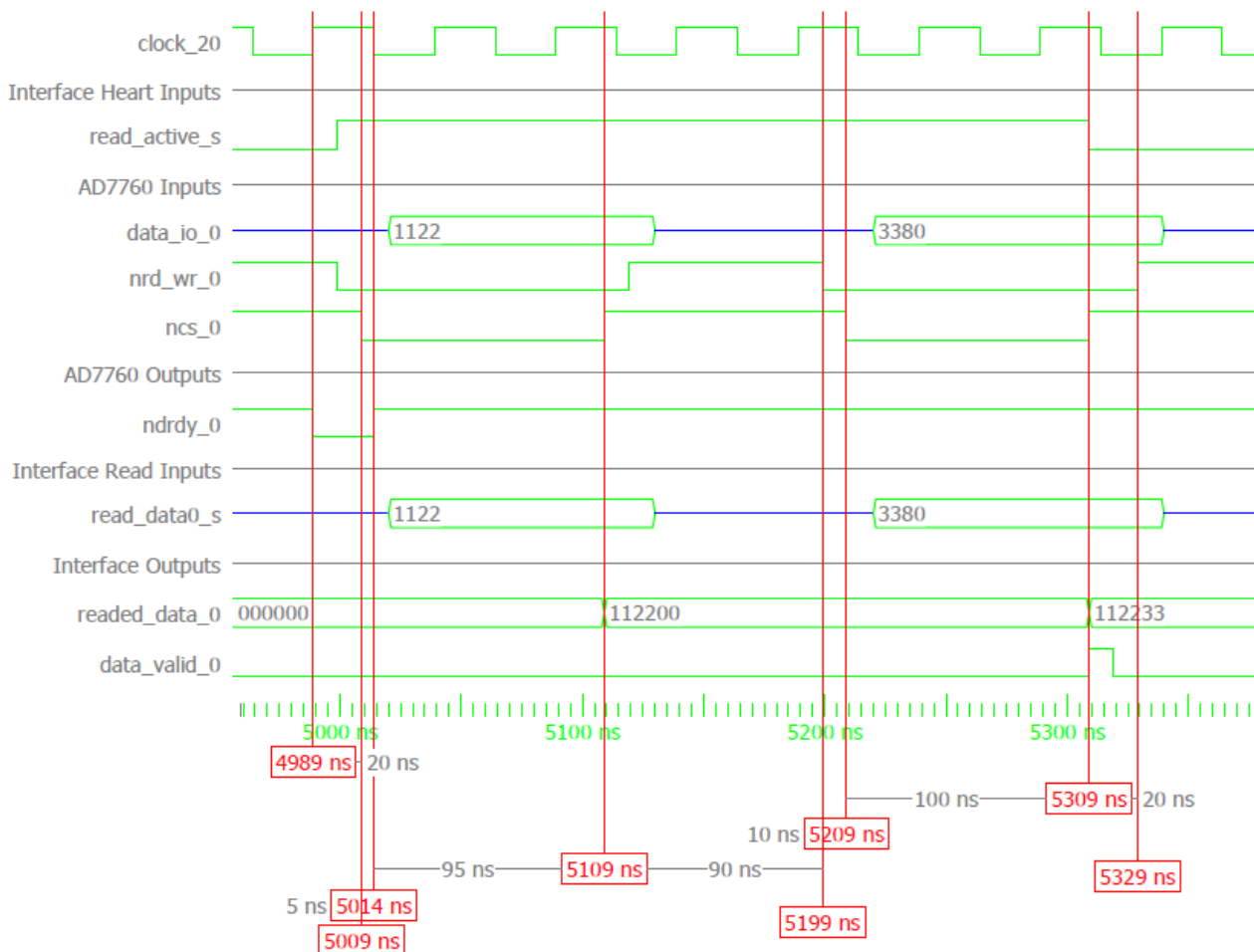


Figure 43 - AD7760 simulation : lecture

Les données de conversions peuvent être lues dès que la phase d'initialisation du convertisseur est terminée.

Une impulsion d'une durée de 25ns (=  $t_1$ ) sur le signal actif au niveau bas  $nDRDY_0$  indique qu'une nouvelle donnée de conversion est disponible.

Le signal de sélection  $nCS_0$  passe au niveau bas 20ns ( $\geq t_2$ ) après le flanc descendant de  $nDRDY_0$ .

Le signal  $nRD_WR_0$ , indiquant un ordre de lecture, passe quant à lui au niveau bas 10ns ( $\geq t_3$ ) avant le flanc descendant de  $nCS_0$ .

Les données transmises par le convertisseur, par le biais du signal  $DATA_{io_0}$ , sont stockées sur le signal  $readed\_data_0$  lorsque le signal  $nCS_0$  repasse au niveau haut.

Après la première séquence de lecture, les 16 bits de poids fort de la conversion sont reçus.

Une seconde phase de lecture, similaire à la première, va permettre de stocker les 8 bits de poids faible de la donnée de conversion.

Le MSb des 8 bits de statut transmis est testé, afin de déterminer la validité des données (voir 7.5.2). Si ce bit est à '1', une impulsion sur la sortie  $data\_valid_0$  indiquera que les 24 bits de donnée ont bien été réceptionnés, et que le résultat de la précédente conversion est valide.

Les timings  $t_1$ ,  $t_2$ ,  $t_3$ ,  $t_4$ ,  $t_5$ ,  $t_6$ ,  $t_7$  et  $t_8$  décrits au point 7.5.1 sont respectés. Le bon fonctionnement du bloc **AD7760\_Interface\_read** est donc **validé**.

#### **Validation :**

La simulation du fonctionnement théorique du convertisseur A/D AD7760 semble indiquer que l'interfaçage avec ce composant a été implémenté de manière correcte.

Un test de lecture en boucle a également été effectué, et aucun problème n'est survenu.

Le fonctionnement global de l'interface avec le convertisseur AD7760 devra bien entendu être vérifié lors de la phase de test de la carte ADDA, mais les simulations effectuées ne révèlent aucune erreur de timing.

Le fonctionnement théorique du bloc **AD7760\_Interface\_v2** est donc **validé**.

## 7.6 INTERFACE CONVERTISSEUR D/A AD5547

Cette section décrit l'implémentation de l'interface entre la FPGA et le convertisseur D/A AD5547, de l'analyse des spécifications du composant à la validation de la simulation temporelle.

### 7.6.1 Spécifications

La configuration de l'AD5547 ne requiert aucun transfert de données. Les signaux d'adresse A0 et A1 permettent de définir le fonctionnement du convertisseur à deux canaux :

A1	A0	Mise à jour de la sortie
0	0	Canal A
0	1	Aucun canal
1	0	Canaux A et B
1	1	Canal B

Tableau 19 - AD5547 : modes de fonctionnement

Lors de la première phase de test, les deux canaux de conversion seront utilisés (A0 = '0' et A1 = '1'). Par la suite, il se peut qu'un seul canal soit nécessaire, afin de produire le signal de perturbation à injecter dans le système à mesurer.

L'AD5547 offre également deux modes de conversion :

- Mode 2 quadrants :
  - Tension de sortie à polarité unique :  $U_{out} = 0V \text{ à } +V_{ref}$ , ou  $U_{out} = 0V \text{ à } -V_{ref}$
- Mode 4 quadrants :
  - Tension de sortie à double polarité :  $U_{out} = -V_{ref} \text{ à } +V_{ref}$

Dans notre application, le **mode 4 quadrants** sera utilisé, afin de pouvoir produire un signal de sortie sinusoïdal alternatif.

La sélection du mode de conversion est décrite dans le datasheet du composant. Elle se fait de manière Hardware, par le biais de diverses résistances.

Le Tableau 20 et la Figure 44 décrivent les timings spécifiés dans le datasheet du convertisseur AD5547 :

Paramètres	Symbole	Conditions	Min	Unité
Temps entre établissement des données et flanc montant de nWR	$t_{DS}$	$V_{DD} = 5V$	20	ns
		$V_{DD} = 3V$	35	ns
Temps de maintien des données après flanc montant de nWR	$t_{DH}$	$V_{DD} = 5V$	0	ns
		$V_{DD} = 3V$	0	ns
Largeur d'impulsion de nWR	$t_{WR}$	$V_{DD} = 5V$	20	ns
		$V_{DD} = 3V$	35	ns
Largeur d'impulsion de LDAC	$t_{LDAC}$	$V_{DD} = 5V$	20	ns
		$V_{DD} = 3V$	35	ns
Largeur d'impulsion de nRS	$t_{RS}$	$V_{DD} = 5V$	20	ns
		$V_{DD} = 3V$	35	ns
Délais entre nWR et LDAC	$t_{LWD}$	$V_{DD} = 5V$	0	ns
		$V_{DD} = 3V$	0	ns

Tableau 20 - Spécifications temporelles pour AD5547

NOTE : sur la carte ADDA, le convertisseur AD5547 est alimenté avec une tension de 5V sur la broche  $V_{DD}$ .

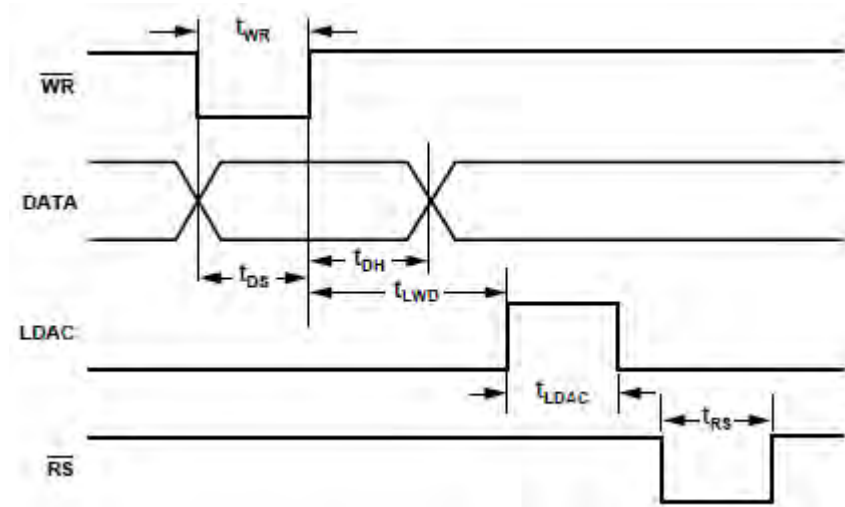


Figure 44 - Diagramme temporel pour écriture sur AD5547

## 7.6.2 Fonctionnement

L'AD5547 dispose de deux registres internes, permettant la mise à jour simultanée de plusieurs canaux de conversion.

Voici son fonctionnement global :

- Lorsque l'entrée *nWR* passe au niveau bas, la valeur contenue sur le bus de données est chargée sur le registre d'entrée.
- Lorsque l'entrée *LDAC* passe au niveau haut, le registre de conversion est mis à jour avec la valeur contenue sur le registre d'entrée.
- La sortie analogique est automatiquement mise à jour avec la valeur contenue sur le registre de conversion.

Voici, sous forme de tableau, les différentes opérations réalisées sur les registres du convertisseur, en fonction de la valeur des signaux d'entrée :



nRS	nWR	LDAC	Opération sur les registres
0	X	X	Réinitialisation de la sortie à 0 si l'entrée MSB est à '0'. Réinitialisation de la sortie au milieu de la gamme, si MSB est à '1'.
1	0	0	Charge le registre d'entrée avec la valeur du bus de données.
1	1	1	Charge le registre de conversion avec la valeur du registre d'entrée.
1	0	1	Les registres d'entrée et de conversion sont « transparents ».
1			Si <i>LDAC</i> et <i>nWR</i> sont identiques et programmés pour générer des impulsions, les bits de donnée sont chargés sur le registre d'entrée sur le flanc descendant de l'impulsion, et le registre de conversion est chargé sur le flanc montant.
1	1	0	Aucune opération sur les registres.

Tableau 21 - AD5547 : signaux de contrôle

### 7.6.3 Bloc d'interface<sup>14</sup>

Le bloc permettant l'interface entre le convertisseur D/A AD5547 et la FPGA est illustré à la figure suivante :

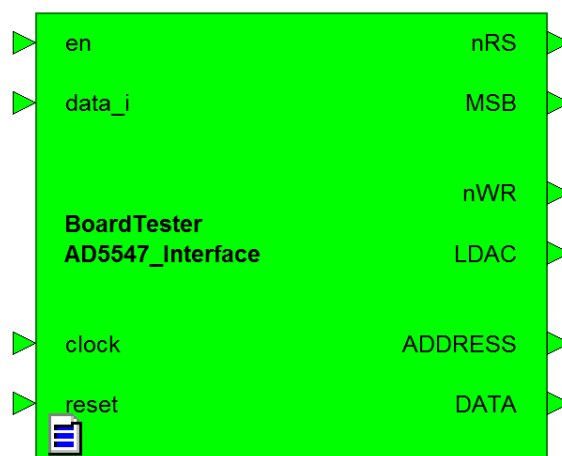


Figure 45 - Bloc d'interface AD5547

Voici une brève description des entrées/sorties de ce bloc :

Port	Direction	Description
en	Entrée	Commande d'activation du convertisseur AD5547
data_i	Entrée	Données à transmettre au convertisseur
clock	Entrée	Signal d'horloge interne
reset	Entrée	Signal de remise à zéro interne
nRS	Sortie	Signal de remise à zéro du convertisseur
MSB	Sortie	Plage de remise à zéro du convertisseur
nWR	Sortie	Signal de contrôle d'écriture
LDAC	Sortie	Signal de chargement du registre de conversion
ADDRESS [1:0]	Sortie	Signal d'adresse, pour la sélection du canal de conversion
DATA [15:0]	Sortie	Bus de données 16 bits

Tableau 22 - Entrées/sorties du bloc d'interface AD5547

Ce bloc représente le cœur de l'interface entre la FPGA et l'AD5547. Son rôle est de gérer l'ensemble des signaux de contrôle et de donnée du convertisseur. Il utilise le signal d'horloge de 100MHz provenant de l'oscillateur externe.

Les deux canaux de conversion de l'AD5547 partagent la même interface, ils sont donc pilotés de manière strictement identique.

<sup>14</sup> Le code source VHDL du bloc *AD5547\_Interface* est disponible en annexe 6a.



## 7.6.4 Génération de signaux<sup>15</sup>

Le signal sinusoïdal de perturbation, devant être injecté dans le système, est généré dans un ensemble de blocs séparé.

Un second signal, dont les paramètres sont identiques, est également produit avec un déphasage de 90° par rapport au premier ; celui-ci représente le cosinus qui sera utilisé dans les calculs servant à analyser le système mesuré.

La figure suivante illustre l'ensemble de bloc utilisé pour la génération des signaux sinus et cosinus :

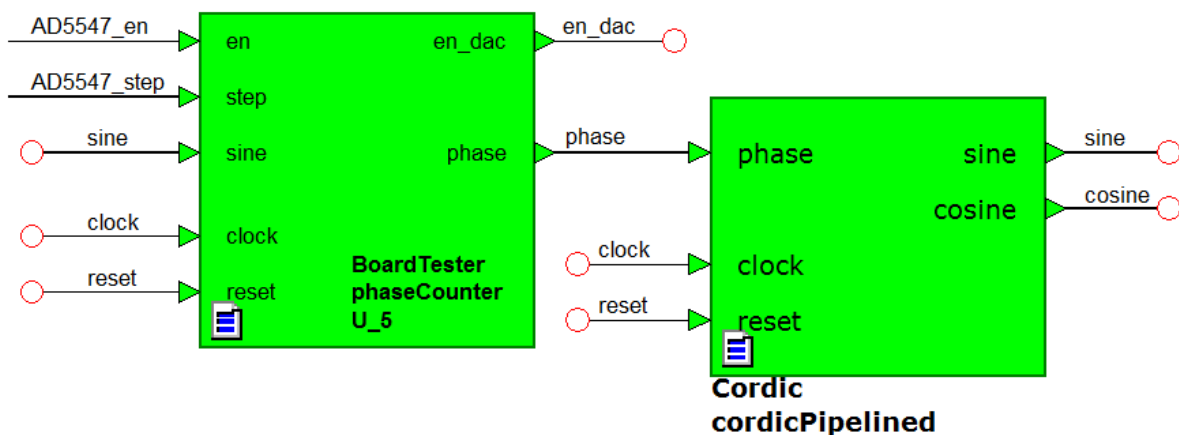


Figure 46 - AD5547 : génération du sinus et du cosinus

Le bloc *phaseCounter* génère un signal en dent de scie représentant la phase du signal sinusoïdal à produire. La pente de ce signal en dent de scie dépend du pas d'incrémentement spécifié par le biais du signal *step*.

Le bloc *cordicPipelined* génère les signaux sinusoïdaux *sine* et *cosine* en fonction du signal d'entrée *phase*.

Ce bloc a été préalablement implémenté par un collaborateur de la HES-SO Valais, pour pallier à des besoins récurrents en matière de génération de signaux sinusoïdaux. Il n'a donc pas été programmé par mes soins, mais simplement repris d'une librairie existante.

<sup>15</sup> Les codes sources VHDL des blocs *phaseCounter* et *cordicPipelined* sont disponibles respectivement en annexe 6b et annexe 6c.

## 7.6.5 Simulation et validation

Cette section a pour but d'illustrer les résultats des simulations effectuées et de valider le fonctionnement de l'interfaçage avec le convertisseur D/A AD5547.

Voici le schéma bloc du banc de test utilisé pour réaliser la simulation :

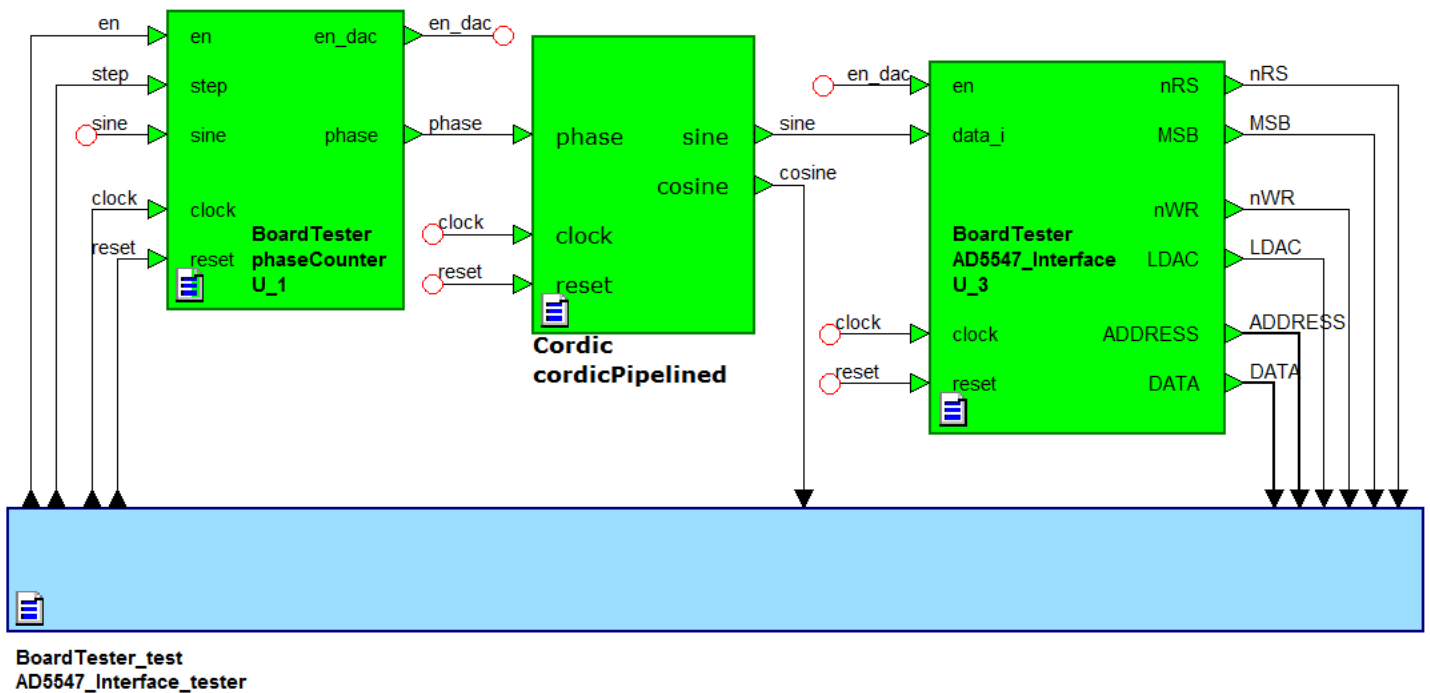


Figure 47 - AD5547 simulation : banc de test

Les signaux d'entrée de l'interface sont générés dans le bloc bleu. Deux simulations ont été réalisées afin de produire deux fréquences différentes pour les signaux *sine* et *cosine*.

### Signal de perturbation à 2MHz :

Une première simulation a été réalisée afin de produire un signal sinusoïdal fonctionnant à une fréquence de 2MHz.

Voici l'allure des signaux dans le temps :

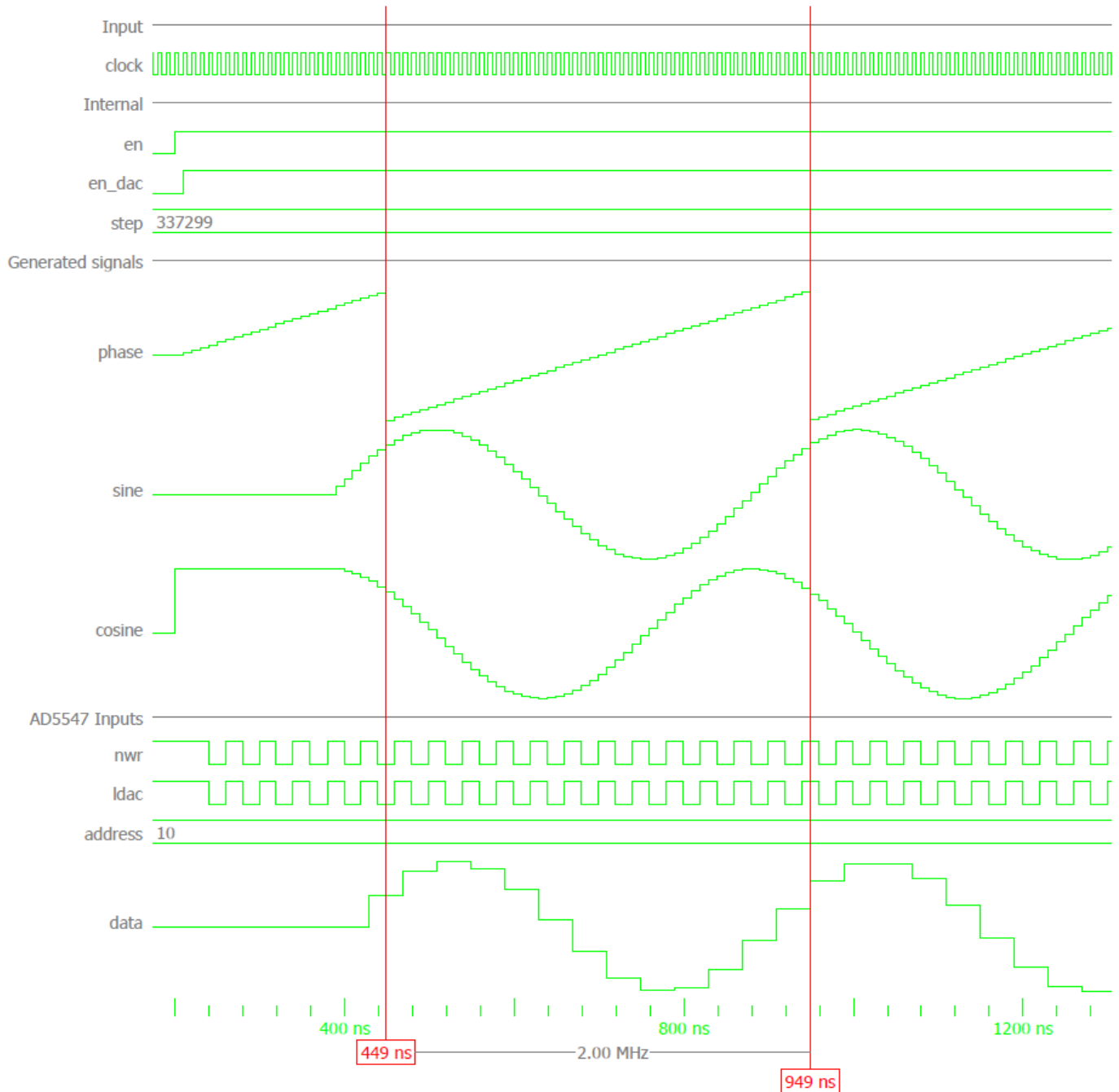


Figure 48 - AD5547 simulation : signal de sortie à 2MHz

La valeur hexadécimale 0x337299 est assignée au signal *step*.

La fréquence du signal sinusoïdal transmis au convertisseur vaut bel et bien 2MHz. En revanche, la vitesse d'écriture limitée sur les registres d'entrée et de conversion de l'AD5547 provoque un sous-échantillonnage du signal *data*, par rapport au signal originel *sine*.

Lors de la première phase de test de la carte ADDA, le signal analogique de sortie du convertisseur D/A devra être mesuré. Ceci va permettre de déterminer si l'utilisation d'un filtre passe-bas est nécessaire ou non, afin d'éliminer la discontinuité du signal.

### Signal de perturbation à 100kHz :

Une deuxième simulation a été réalisée afin de produire un signal sinusoïdal fonctionnant à une fréquence de 100kHz.

Voici l'allure temporelle des signaux :

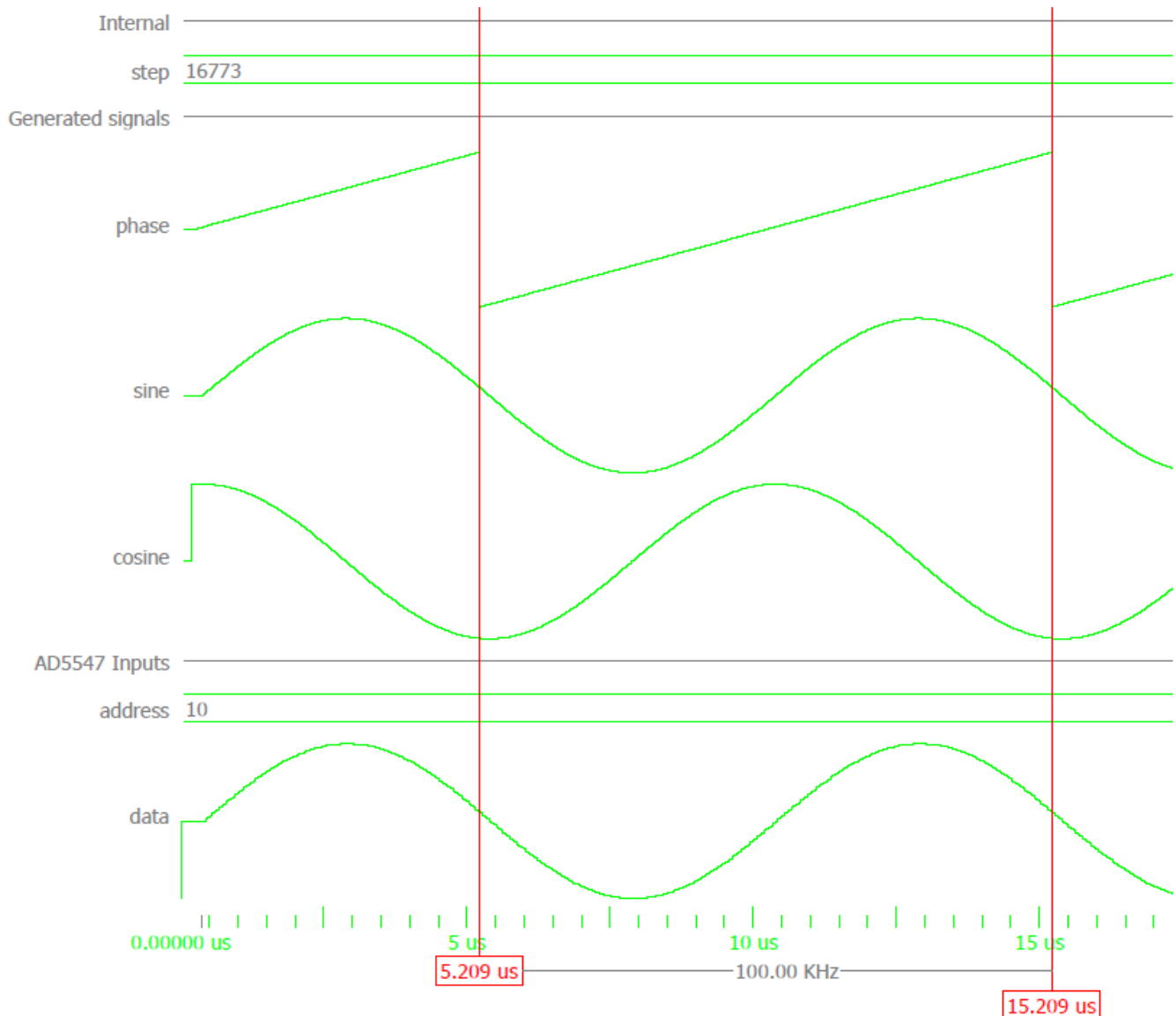


Figure 49 - AD5547 simulation : signal de sortie à 100kHz

La valeur hexadécimale 0x016773 est assignée au signal *step*.

La fréquence du signal sinusoïdal transmis au convertisseur vaut alors 100kHz. A une telle fréquence, le sous-échantillonnage provoqué par la vitesse d'écriture limitée sur les registres du convertisseur n'est plus visible.

### Ecriture sur les registres :

Voici la séquence utilisée pour procéder à une écriture sur les registres d'entrée et de conversion de l'AD5547 :

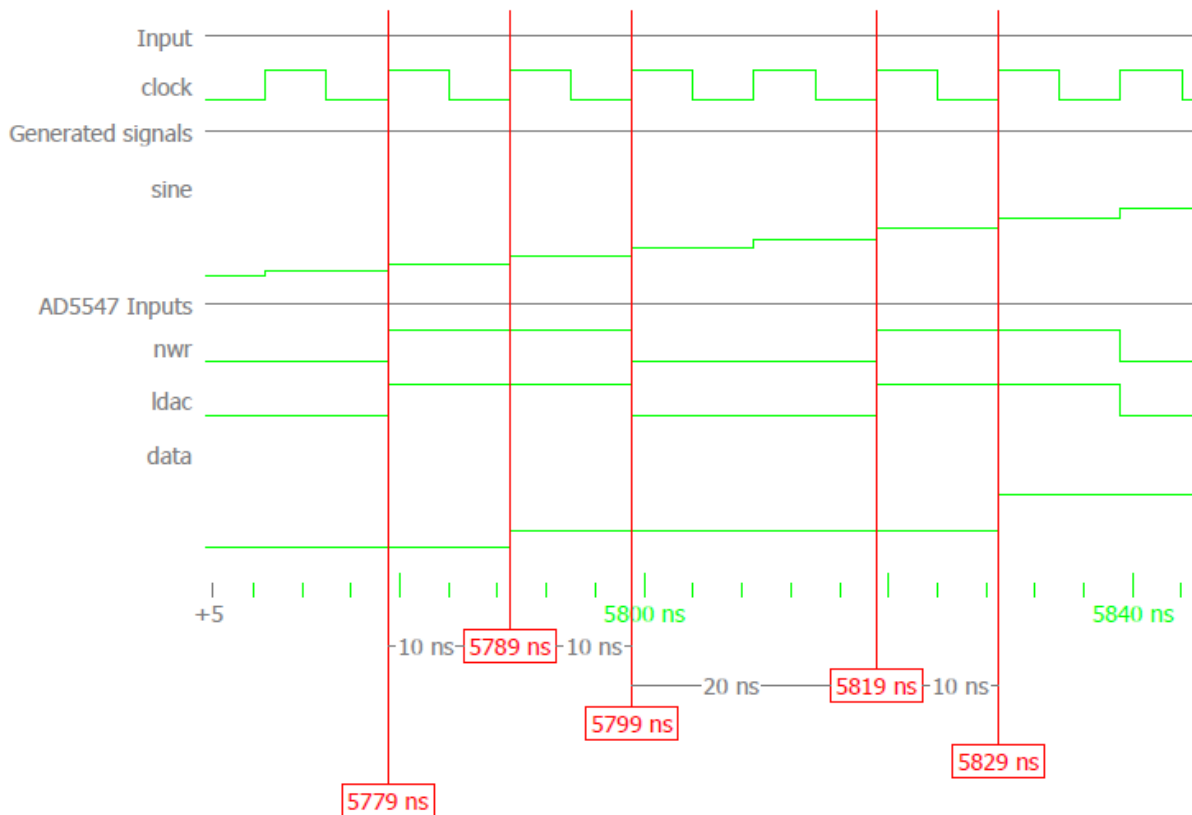


Figure 50 - AD5547 simulation : largeur d'impulsion de nWR et LDAC

Ici, les signaux nWR et LDAC sont identiques, et programmés pour générer des impulsions. Les bits de donnée sont alors chargés sur le registre d'entrée sur le flanc descendant de l'impulsion, et le registre de conversion est chargé sur le flanc montant (voir Tableau 21).

Les timings des deux signaux de contrôle sont limités selon deux critères : *nWR* doit rester au niveau bas durant 20ns au minimum ( $\geq t_{WR}$ ), et *LDAC* doit rester au niveau haut durant un minimum de 20ns ( $\geq t_{LDAC}$ ).

Une nouvelle écriture sur le convertisseur D/A peut donc être réalisée chaque 40ns, soit à une fréquence de 25MHz.

Le signal de données *data* est stabilisé 10ns avant le flanc descendant de *nWR*, et garde la même valeur jusqu'à 10ns après le flanc montant de ce signal, ce qui remplit les exigences spécifiées dans le datasheet du composant.

### Validation :

Le **signal de sortie analogique** de l'AD5547 **devra être mesuré** durant la phase de test de la carte ADDA, afin de vérifier si l'utilisation d'un filtre passe-bas est nécessaire.

En dehors de cette incertitude, le fonctionnement global théorique de l'interface avec le convertisseur D/A correspond aux spécifications du datasheet et est donc **validé**.

## 8 CARTE D'INTERFACE

Comme spécifié au point 5.4, l'analyse du système se fait selon le principe de spectroscopie d'impédance.

Une carte d'interface sera alors placée entre la bobine de Rogowski et la carte de conversion A/D-D/A. Son rôle principal sera d'extraire les deux composantes du signal mesuré : le signal 50Hz du réseau électrique, et le signal sinusoïdal de perturbation préalablement injecté dans le système.

### 8.1 SCHÉMA BLOC

Voici le schéma bloc de la carte d'interface :

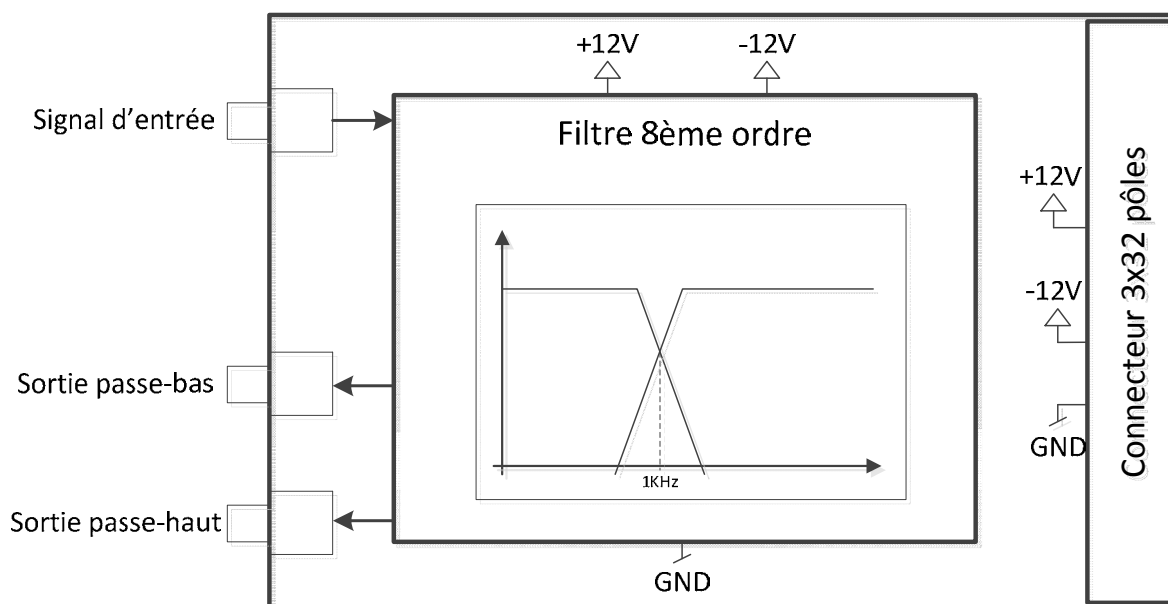


Figure 51 - Schéma bloc carte d'interface

Outre sa connectique d'entrée/sortie, la carte d'interface intègre un filtre analogique du 8<sup>ème</sup> ordre, décrit plus bas.

#### 8.1.1 Entrées/sorties

La carte d'interface dispose de trois connecteurs coaxiaux d'entrées/sorties.

Le premier permet de récupérer le signal de mesure provenant de la bobine de Rogowski. Les deux autres sont quant à eux reliés aux sorties passe-haut et passe-bas du filtre analogique et permettent de transmettre les deux composantes du signal mesuré vers la carte de conversion A/D-D/A.

#### 8.1.1 Connecteur 3x32 pôles

L'alimentation  $\pm 12V$  nécessaire au bon fonctionnement de la carte d'interface est fournie par le rack VME, via le connecteur 3x32 pôles. Ici, aucun signal ne transite entre la carte et le bus VME.

## 8.1.2 Filtre analogique

Le filtre analogique du 8<sup>ème</sup> ordre peut être décomposé en blocs du second ordre similaires à celui illustré à la figure suivante :

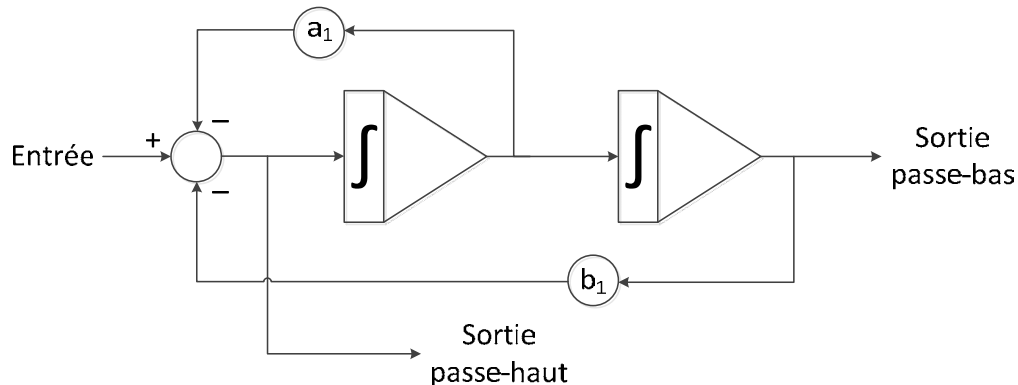


Figure 52 - Schéma bloc filtre à variable d'état du 2ème ordre

Chaque bloc du second ordre nécessite trois amplificateurs opérationnels.

Le premier est utilisé en mode soustracteur et les deux autres en mode intégrateur. Ce type de montage est appelé filtre à variable d'état (*State Variable Filter*).

La sortie du soustracteur a un comportement de filtre passe-haut, alors que la sortie du deuxième intégrateur fait office de filtre passe-bas. Une éventuelle sortie passe-bande est également disponible entre les deux intégrateurs, mais celle-ci ne sera pas utilisée dans notre cas.

Les facteurs de gain  $a_1$  et  $b_1$ , permettant d'adapter l'amplitude des signaux de sortie, peuvent être configurés directement sur l'amplificateur soustracteur.

Le filtre du 8<sup>ème</sup> ordre est obtenu en échelonnant des blocs du second ordre de la manière suivante :

- Filtre passe-haut :
  - La sortie passe-haut d'un bloc est connectée à l'entrée du bloc suivant
- Filtre passe-bas :
  - La sortie passe-bas d'un bloc est connectée à l'entrée du bloc suivant

Ainsi, 7 blocs du second ordre sont nécessaires afin de réaliser les fonctions passe-haut et passe-bas du 8<sup>ème</sup> ordre, étant donné que le premier « étage » de filtration est commun aux deux filtres.

La figure suivante illustre la manière dont sont cascades les blocs du 2<sup>ème</sup> ordre :

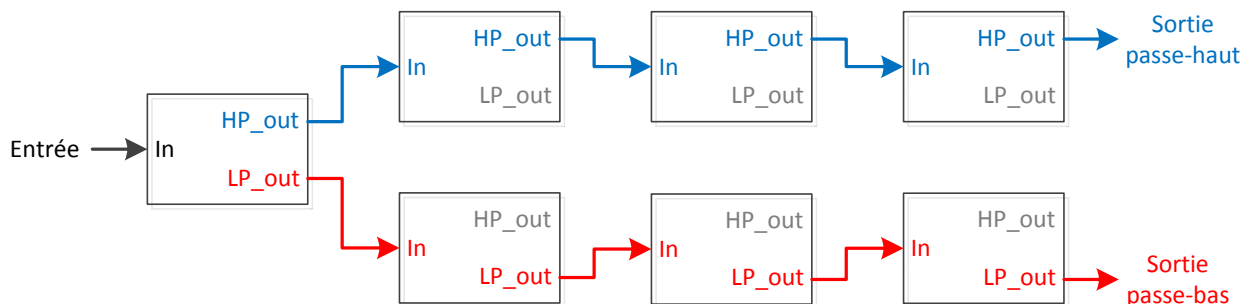


Figure 53 - Schéma bloc filtre 8ème ordre



## 8.2 SCHÉMATIQUE<sup>16</sup>

Cette section décrit les éléments principaux de la schématique de la carte d'interface.

### 8.2.1 Alimentations

L'alimentation  $\pm 12V$  ainsi que la masse sont fournies par le rack VME, via le connecteur 3x32 pôles. Les amplificateurs opérationnels sont directement alimentés par cette tension différentielle.

### 8.2.2 Choix de l'amplificateur opérationnel

Voici les spécifications essentielles que doit remplir l'amplificateur opérationnel utilisé pour le filtre analogique :

- Tension d'alimentation :  $\pm 12V$
- Slew rate :  $\geq 120V/\mu s$  (permet de garantir une fréquence de transition de 10MHz sur une plage de 12V)
- Boitier : Quad (4 amplificateurs par composant)
- Bande passante :  $\geq 2MHz$  avec gain unitaire

L'amplificateur **OP467** est connu de par son utilisation dans divers projets de la HES-SO Valais. Voici ses principales caractéristiques :

- Tension d'alimentation :  $\pm 4.5V$  à  $\pm 18V$
- Slew rate :  $170V/\mu s$
- Boitier : Quad
- Bande passante :  $2.7MHz$  avec gain unitaire (@  $V_S = \pm 15V$ )

Cet amplificateur opérationnel remplit les exigences minimales nécessaires, il sera donc utilisé pour la conception du filtre analogique.

---

<sup>16</sup> Schéma complet de la carte d'interface en annexe 7.

### 8.2.3 Amplificateur soustracteur

Voici le schéma de base d'un amplificateur soustracteur :

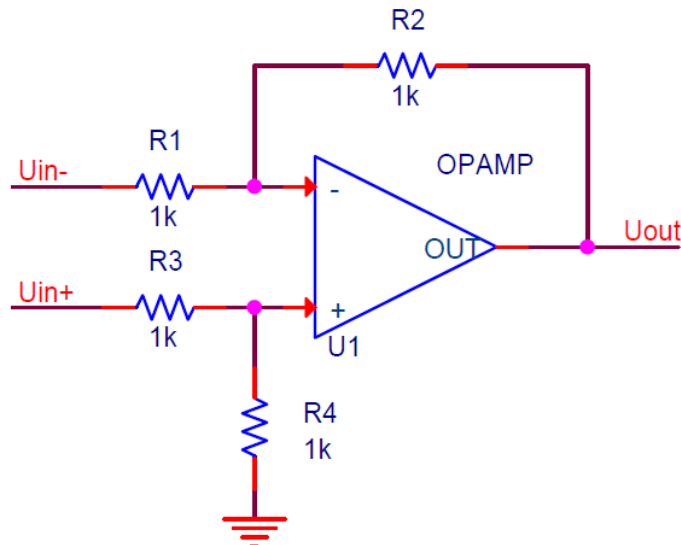


Figure 54 – Amplificateur opérationnel en mode soustracteur

La tension de sortie  $U_{out}$  est définie selon les trois formules suivantes :

$$U_{out} = U_{in+} \cdot A_+ - U_{in-} \cdot A_-$$

$$A_+ = \frac{1 + \frac{R_2}{R_1}}{1 + \frac{R_3}{R_4}}$$

$$A_- = \frac{R_2}{R_1}$$

Dans le cas d'un montage symétrique ( $R_1 = R_3$  et  $R_2 = R_4$ ), la formule décrivant la tension de sortie peut être simplifiée comme suit :

$$U_{out} = \frac{R_2}{R_1} \cdot (U_{in+} - U_{in-})$$

## 8.2.4 Amplificateur intégrateur

Voici le schéma de base d'un amplificateur intégrateur :

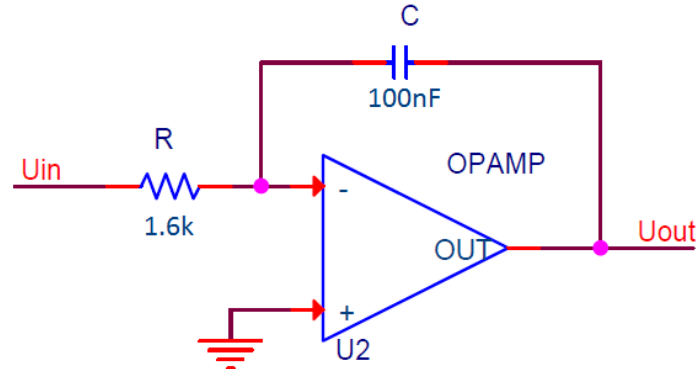


Figure 55 - Amplificateur opérationnel en mode intégrateur

L'intégrateur se comporte comme un filtre actif passe-bas, dont la fréquence de coupure est définie selon la formule suivante :

$$f_c = \frac{1}{2\pi RC}$$

Dans notre cas, la fréquence de coupure a été fixée à 1kHz, afin de séparer le signal 50Hz et la perturbation sinusoïdale. Celle-ci devra toutefois être réadaptée, en fonction de la gamme de fréquences utilisée pour les signaux de perturbation.

En fixant une valeur arbitraire de 100nF au condensateur, la valeur de la résistance peut être calculée comme suit :

$$R = \frac{1}{2\pi \cdot f_c \cdot C} = \frac{1}{2 \cdot \pi \cdot 1 \cdot 10^3 \cdot 100 \cdot 10^{-9}} = 1.59 \text{ k}\Omega$$

La valeur de 1.59kΩ obtenue est arrondie à **1.6kΩ**, afin de correspondre à une valeur normalisée.

La fréquence de coupure réelle ainsi obtenue vaut donc :

$$f_c = \frac{1}{2\pi RC} = \frac{1}{2\pi \cdot 1.6 \cdot 10^3 \cdot 100 \cdot 10^{-9}} = \mathbf{994.7 \text{ kHz}}$$

Dans ce cas, la variation entre la fréquence de coupure désirée et celle obtenue est de 5.3%, ce qui est tout à fait acceptable.

## 8.2.5 Filtre analogique

Voici le schéma d'un bloc du 2<sup>ème</sup> ordre composant le filtre analogique :

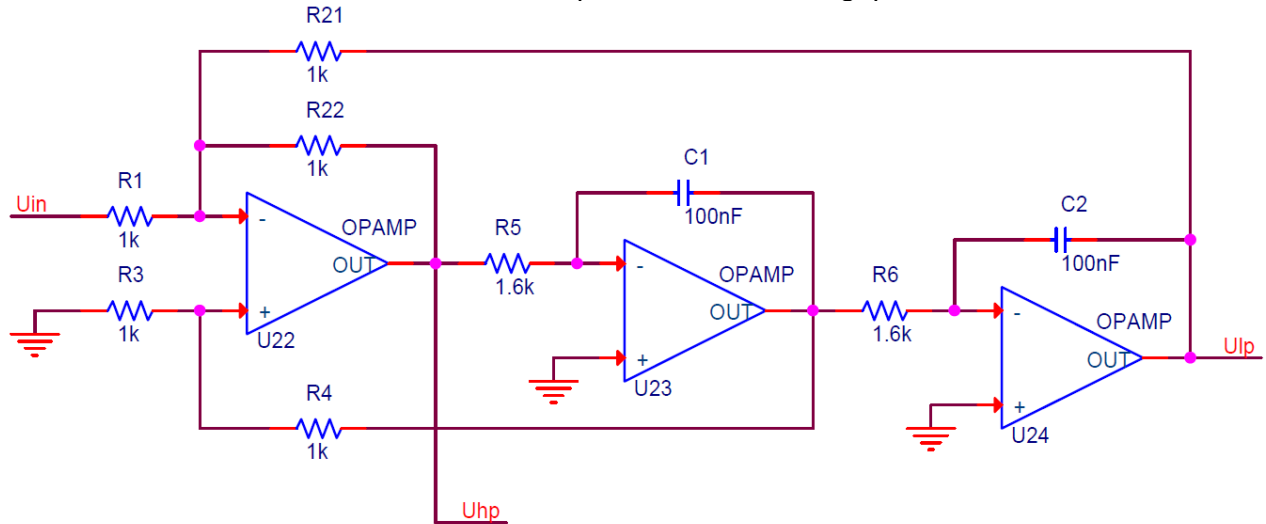


Figure 56 - Filtre à variable d'état du 2ème ordre

La sortie de chaque intégrateur est rebouclée sur une entrée de l'amplificateur soustracteur.

Les amplitudes des signaux d'entrée du filtre ne sont pas encore totalement définies, c'est pourquoi les coefficients  $a_1$  et  $b_1$  (voir Figure 52), réglés par les résistances  $R_1$ ,  $R_{21}$ ,  $R_{22}$ ,  $R_3$  et  $R_4$ , sont paramétrés de manière à obtenir un gain unitaire.

Cette configuration permet d'obtenir en sortie des signaux dont l'amplitude est similaire à celle des signaux d'entrée ; elle sera utilisée lors de la première phase de test de la carte d'interface.

En modifiant les valeurs des résistances citées précédemment, un gain peut être indépendamment appliqué sur le signal 50Hz et sur le signal de perturbation.

Cela permettra d'éliminer la différence d'amplitude significative de ces signaux d'entrée.

Voici une illustration de l'allure du signal d'entrée du filtre :

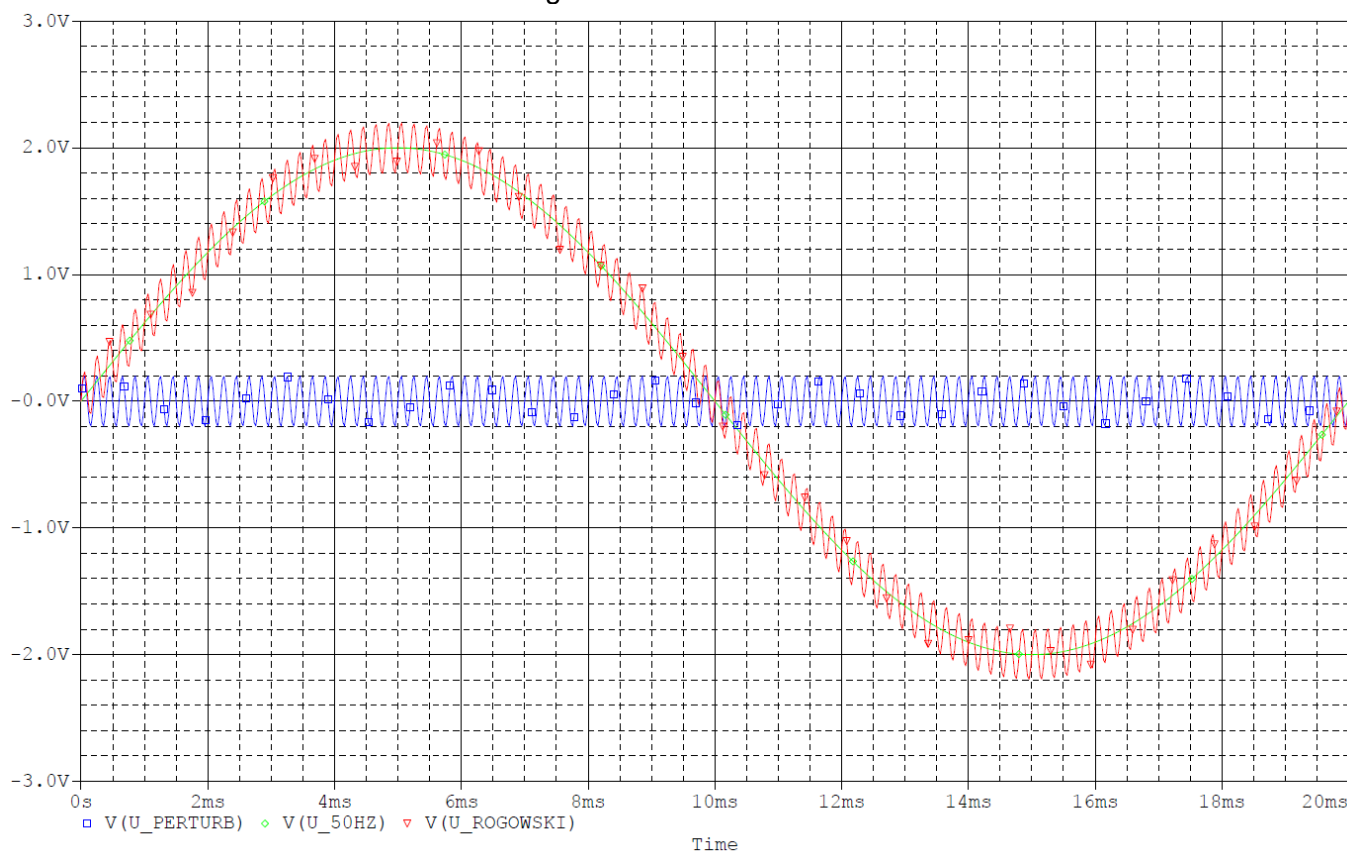


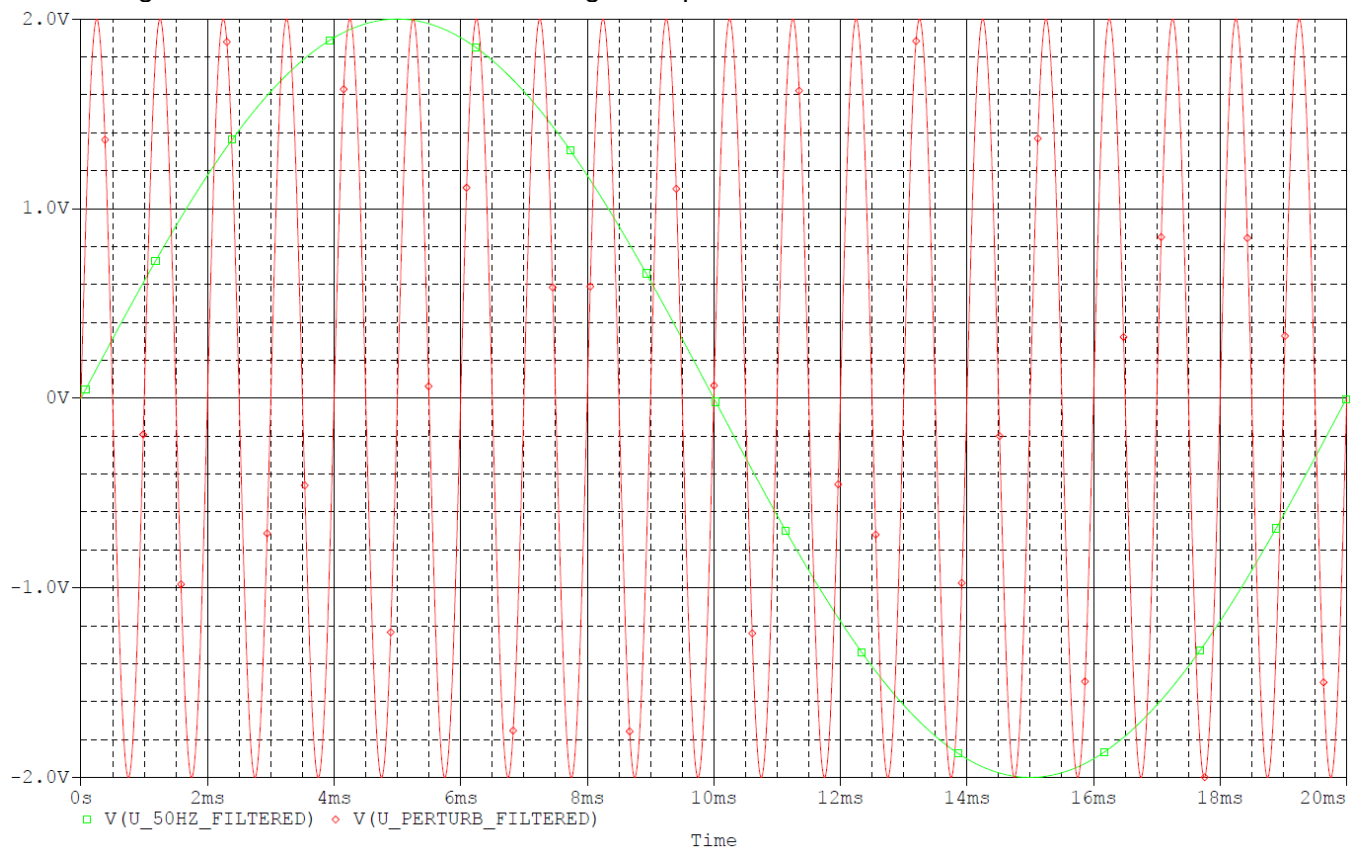
Figure 57 - Allure temporelle du signal d'entrée du filtre

Le **signal appliqué à l'entrée du filtre** est représenté par la superposition des deux composantes suivantes : la mesure du **signal 50Hz du réseau électrique** et la mesure du **signal de perturbation**, à 5kHz dans cet exemple.

Comme mentionnée plus haut, les amplitudes de ces deux signaux sont significativement différentes. Dans cet exemple, l'amplitude du signal 50Hz vaut 2V, alors que celle du signal de perturbation est de 200mV.

Le filtre analogique du 8<sup>ème</sup> ordre va donc permettre de retrouver le signal 50Hz sur la sortie passe-bas, et le signal de perturbation sur la sortie passe-haut. De plus, il permettra d'adapter les niveaux de tension des signaux transmis vers la carte de conversion.

La figure suivante illustre l'allure des signaux que l'on désire retrouver en sortie du filtre :



**Figure 58 - Allure des signaux attendus en sortie**

Dans l'idéal, le gain appliqué à chaque signal devrait permettre d'obtenir des amplitudes identiques sur les deux sorties du filtre.

Ce gain devra être calculé lorsque les niveaux de tension en sortie de la bobine de Rogowski auront été mesurés.

## 8.3 SIMULATION

Une simulation du filtre analogique de 8<sup>ème</sup> ordre a été réalisée à l'aide du logiciel *Cadence® OrCAD Capture v16-5-13AC*.

### 8.3.1 Diagramme de Bode

Le diagramme de Bode du filtre a été tracé grâce à une simulation du type AC Sweep. La figure suivante illustre le résultat obtenu :

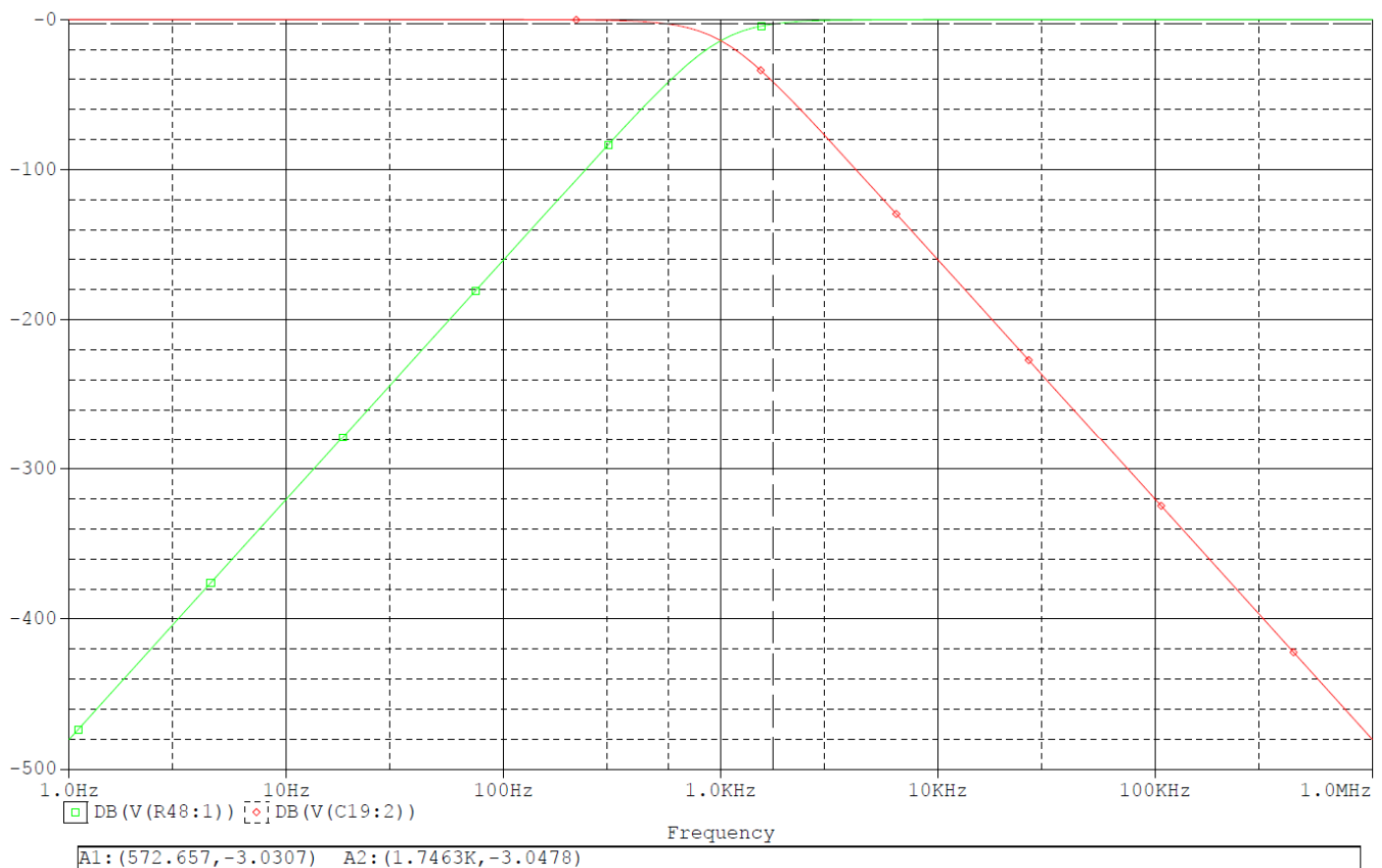


Figure 59 - Filtre analogique simulation : diagramme de Bode

Les fréquences balayées varient entre 1Hz et 1MHz.

Les fréquences de coupure obtenues, où l'atténuation est de -3dB, sont les suivantes :

- Filtre **passé-bas** :  $f_{c\_LP} \approx 573\text{Hz}$
- Filtre **passé-haut** :  $f_{c\_HP} \approx 1.75\text{kHz}$

Ces fréquences de coupures devront être réadaptées en fonction de l'application qui est faite de l'appareil de mesure. En effet, la fréquence du signal de perturbation peut varier entre 500Hz et 2MHz, selon la nature du système à mesurer.

Pour l'instant, nous continuerons les phases de simulation et de test de la carte d'interface avec les fréquences de coupure actuelles.



### 8.3.2 Simulation temporelle

Une deuxième simulation, dans le domaine temporel a été effectuée grâce à une analyse du type *Time Domain (Transient)*.

Voici l'allure des signaux de sortie du filtre, pour une fréquence du **signal d'entrée de 100kHz** :

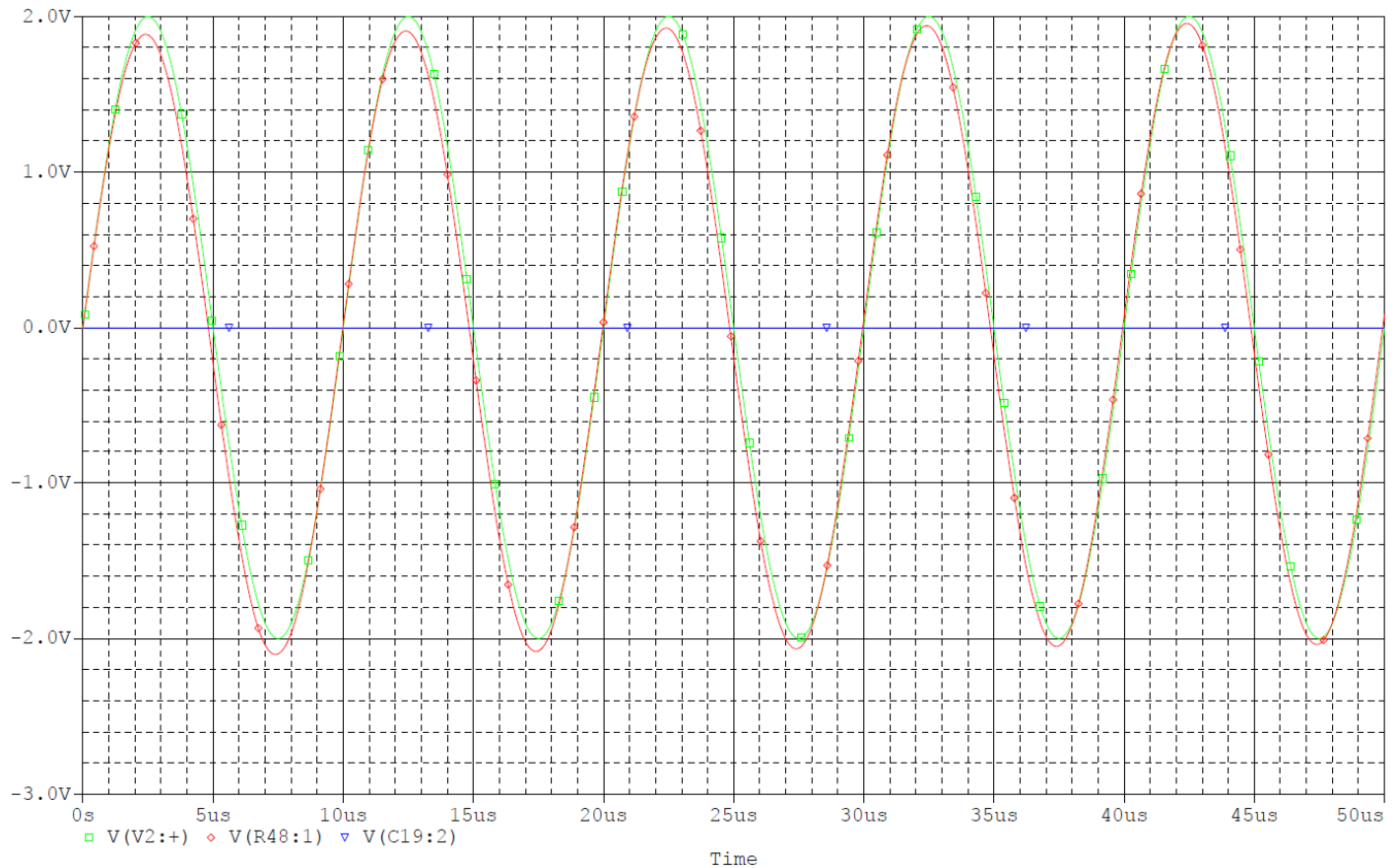


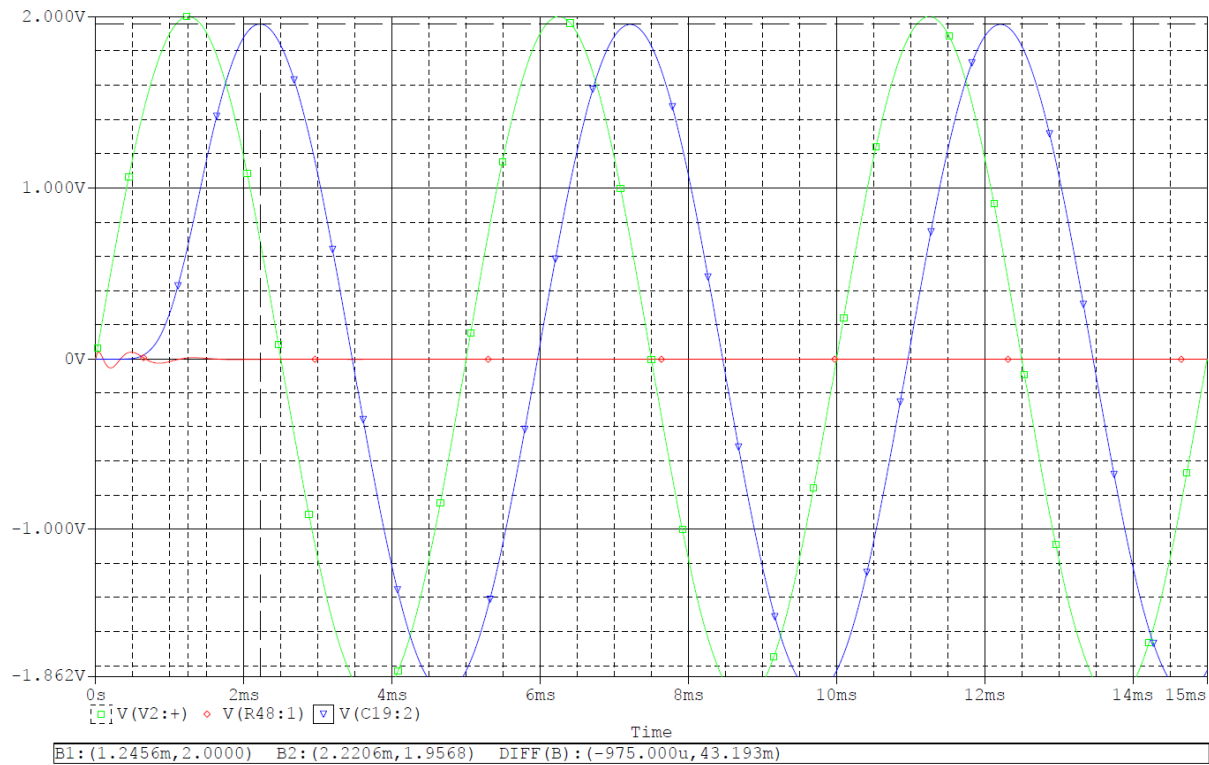
Figure 60 - Filtre analogique simulation : sortie passe-haut

Dans ce cas, le **signal d'entrée** de 100kHz est retrouvé sur la **sortie passe-haut** du filtre. La sortie ne semble subir aucun déphasage par rapport à l'entrée.

Le **filtre passe-bas**, quant à lui, élimine totalement le signal de 100kHz.

Cette simulation semble refléter parfaitement le résultat attendu.

Une troisième simulation, toujours dans le domaine temporel, a été effectuée en appliquant un signal d'une fréquence de **200Hz** en **entrée du filtre**.  
 La figure suivante illustre les résultats obtenus :



**Figure 61 - Filtre analogique simulation : sortie passe-bas**

Dans ce cas, le **signal d'entrée** de 200Hz est retrouvé sur la **sortie passe-bas** du filtre, mais semble subir un certain déphasage.

Le **filtre passe-haut**, quant à lui, élimine totalement le signal de 200Hz.

Le **retard** subi par le signal de sortie par rapport à l'entrée est de **975μs**.

La formule suivante permet de calculer le déphasage lié à ce retard :

$$\varphi_{rad} = 2\pi \cdot \frac{\tau}{T} = 2\pi \cdot \tau \cdot f = 2\pi \cdot 975 \cdot 10^{-6} \cdot 200 = 1.22 \text{ rad}$$

Le déphasage en degrés est obtenu à partir du déphasage en radian selon la formule suivante :

$$\varphi_{deg} = \varphi_{rad} \cdot \frac{180}{\pi} = 1.22 \cdot \frac{180}{\pi} = 70.2^\circ$$

D'autres simulations ont été effectuées, avec diverses fréquences d'entrée inférieures à la fréquence de coupure du filtre passe-bas, afin de déterminer si le déphasage induit par le filtre varie ou non en fonction de la fréquence.

Le tableau suivant illustre les cas qui ont été testés :

Fréquence [Hz]	Retard [μs]	Déphasage [°]
50	962.5	17.3
100	962.5	34.6
150	950.0	51.3
200	975.0	70.2
300	993.3	107.3
400	1000	144.0
500	985.7	177.4

**Tableau 23 - Déphasage en fonction de la fréquence**

La figure suivante illustre ces résultats de manière graphique :

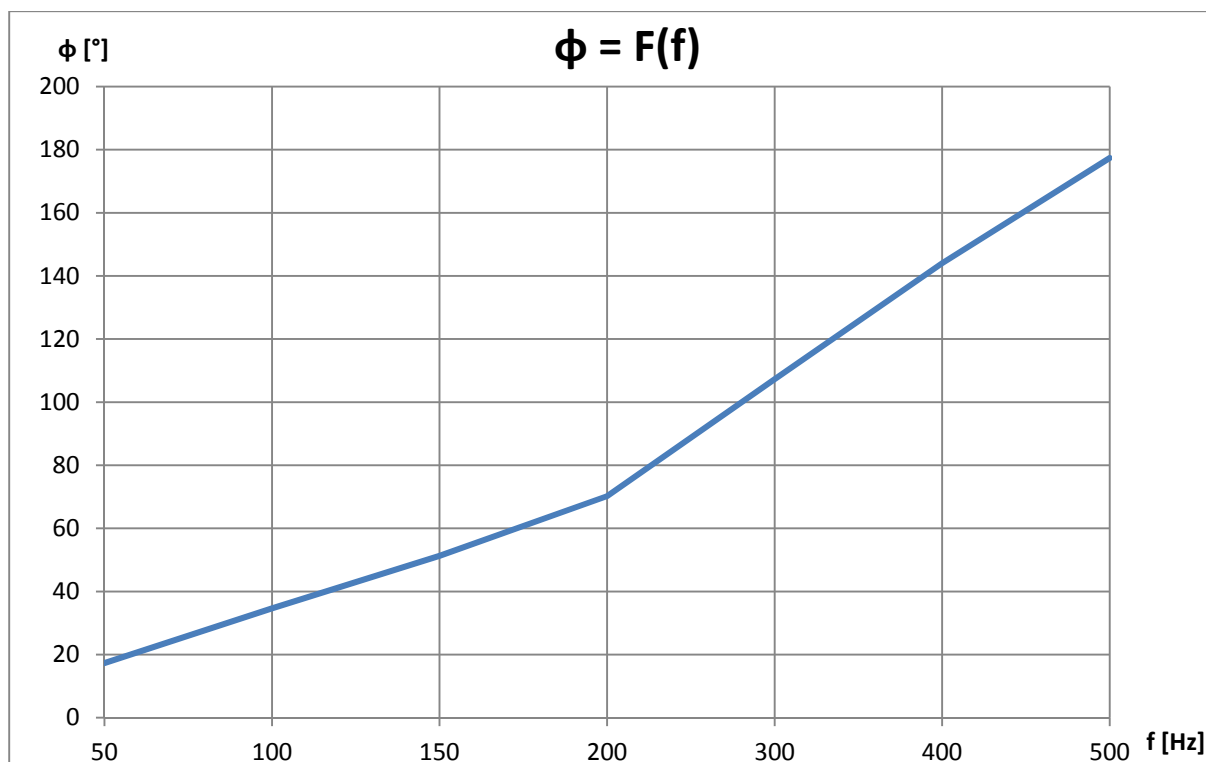


Figure 62 - Graphique : déphasage en fonction de la fréquence

L'analyse du Tableau 23 semble indiquer que le retard subi par la sortie du filtre par rapport à l'entrée est constant et se situe aux alentours de 1ms, quelle que soit la fréquence appliquée au filtre.

Le déphasage est donc linéairement proportionnel à la fréquence, comme le montre le graphique de la Figure 62.

Ce phénomène présent sur le filtre passe-bas l'est aussi probablement sur le filtre passe-haut. Des mesures permettront de vérifier cette hypothèse.

### 8.3.3 Validation

La réponse fréquentielle du filtre analogique correspond aux résultats attendus, avec un comportement stable dans la bande passante.

Un phénomène de déphasage proportionnel à la fréquence appliquée en entrée du filtre a été détecté lors de la phase de simulation. Ceci pourrait être préjudiciable lors de l'analyse des mesures par la carte de conversion.

En effet, le déphasage entre les signaux injectés dans le système à mesurer et les signaux de retour fournis par la bobine de Rogowski est un paramètre important de l'analyse du système. Le déphasage induit par le filtre analogique pourrait ainsi fausser les résultats de cette analyse.

Le bon **comportement fréquentiel** du filtre peut être **validé**, mais des mesures électriques plus poussées devront être réalisées sur la carte d'interface, lors de la phase de tests, afin de vérifier le déphasage réel induit par le filtre analogique.

## 8.4 CIRCUIT IMPRIMÉ

Cette section traite de la carte électronique physique du filtre analogique.

### 8.4.1 Disposition générale

La disposition générale du circuit imprimé est semblable à celle présentée sur le schéma bloc de la Figure 51.

Voici une photographie de la carte, après sa fabrication et le montage de ses composants :

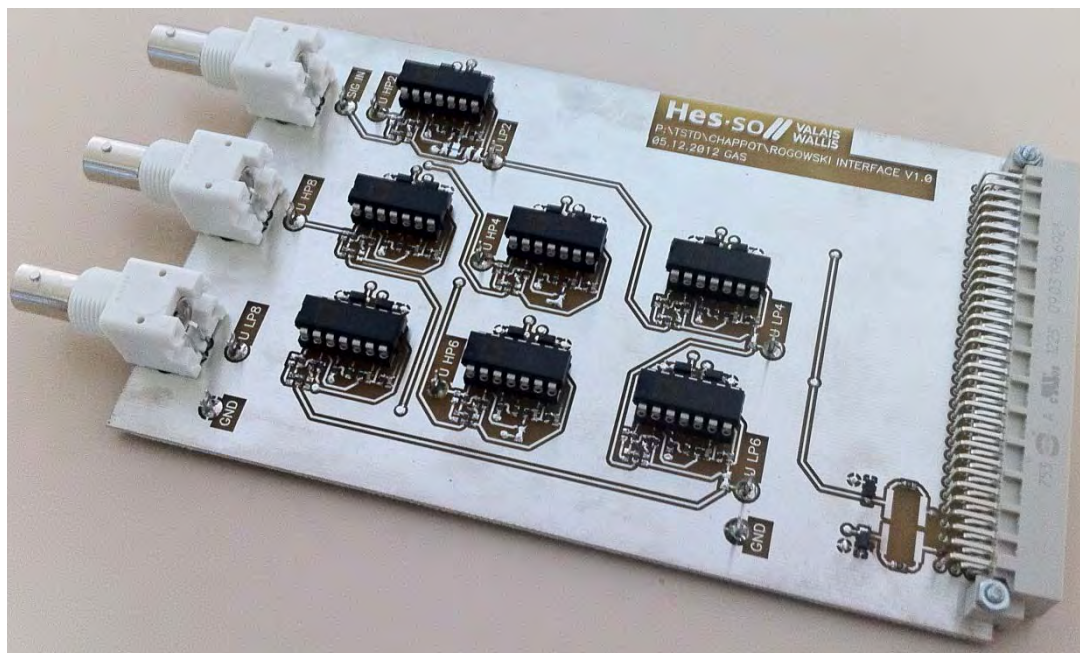


Figure 63 - Photographie carte d'interface

### 8.4.2 Fabrication

Le dessin du circuit imprimé, ainsi que sa fabrication, a été mandaté en interne à M. Steve Gallay, collaborateur technique de la HES-SO Valais dans le domaine électronique. Le montage des composants a ensuite été réalisé par mes propres soins.

### 8.4.3 Procédure de test

Voici, en quelques points, la procédure de test qui a été appliquée après la fabrication de la carte d'interface, et lors de sa première mise en service :

- Avant la première mise en service :
  - Test visuel pour la vérification des soudures
  - Test électrique pour la vérification des connexions et la détection d'éventuels courts-circuits
- Première mise en service, avant le montage des amplificateurs opérationnels :
  - Application des tensions d'alimentation
  - Test des alimentations sur les amplificateurs opérationnels
- Première mise en service, après le montage des amplificateurs opérationnels :
  - Test d'échauffement après application des tensions d'alimentation
  - Mesure du comportement du filtre à l'oscilloscope, avec des signaux d'entrée de diverses fréquences
  - Mesure de la réponse en fréquence et en phase du filtre avec divers analyseurs de spectre



## 9 MESURES

Ce chapitre présente les différentes mesures effectuées sur la carte d'interface, ainsi que les résultats obtenus.

### 9.1 MATÉRIEL UTILISÉ

- Oscilloscope Agilent MSO-X 3012A, 100MHz
- Générateur de signaux Thurlby Thandar TG230, 2MHz
- Analyseur de spectre SRS SR785, 102.4kHz
- Analyseur de spectre HP 3588A, 10Hz – 150MHz

### 9.2 MESURE SPECTRALE À BASSE FRÉQUENCE

Dans un premier temps, les réponses en fréquence et en phase du filtre analogique ont été mesurées à l'aide de l'analyseur de spectre SRS SR785. Cet appareil permet l'analyse d'une bande de fréquences s'étendant entre 0Hz et 102.4kHz, ce qui est parfait pour vérifier les fréquences de coupure des filtres passe-haut et passe-bas, mais insuffisant pour mesurer la bande passante des amplificateurs opérationnels.

La figure suivante illustre le comportement fréquentiel du filtre passe-bas :

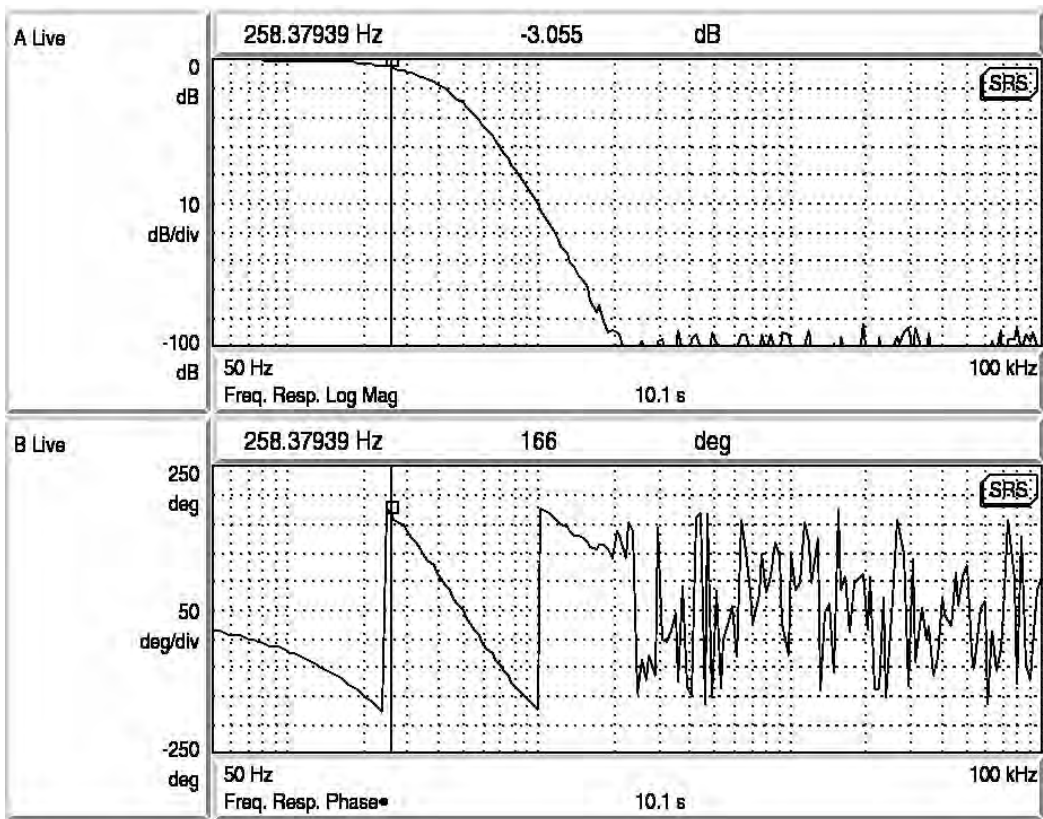


Figure 64 - Filtre passe-bas : réponse fréquentielle ( $f \leq 100\text{kHz}$ )

La **fréquence de coupure mesurée** se situe aux environs de **258Hz**.

La simulation du filtre, par le biais du logiciel *Orcad Capture*, indiquait une fréquence de coupure théorique de 573Hz.

L'erreur entre simulation et mesure est ici d'environ 55%. Cet écart peut paraître très important, mais la **fréquence de coupure** mesurée est **acceptable**. En effet, un tel comportement permet de retrouver le signal 50Hz sur la sortie passe-bas du filtre.

A cette fréquence de 50Hz, justement, l'atténuation du filtre est d'environ 0.2dB, comme le montre la figure suivante :

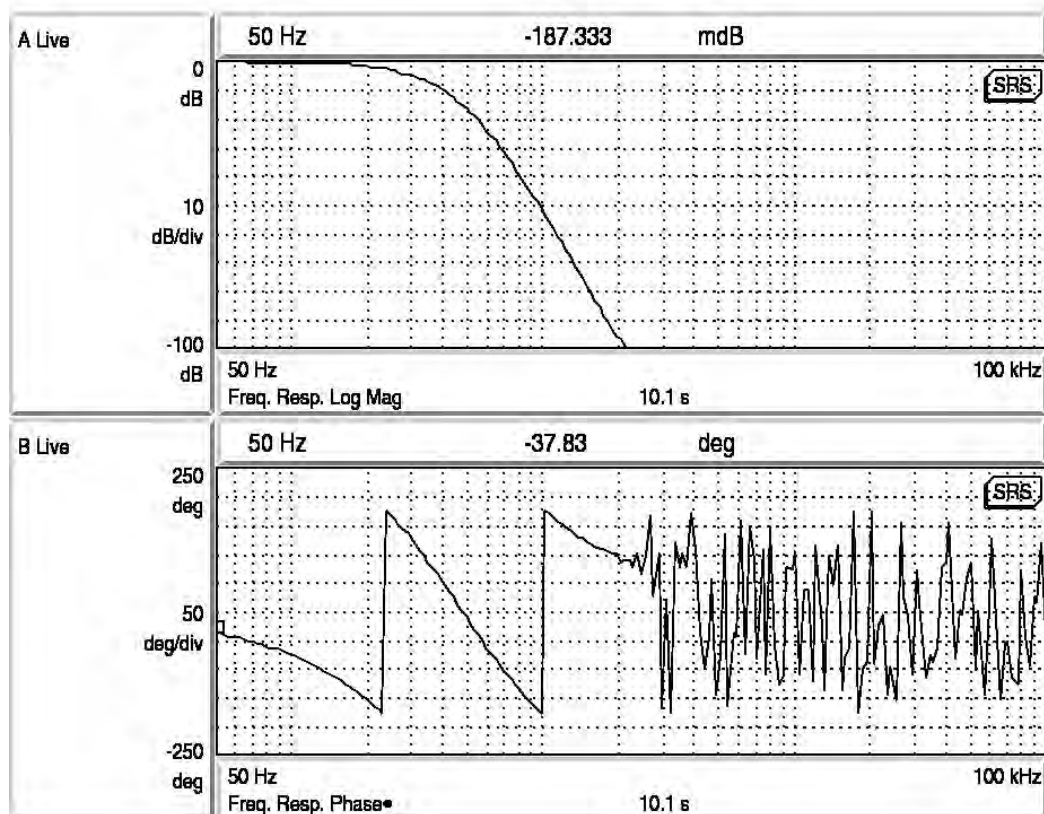
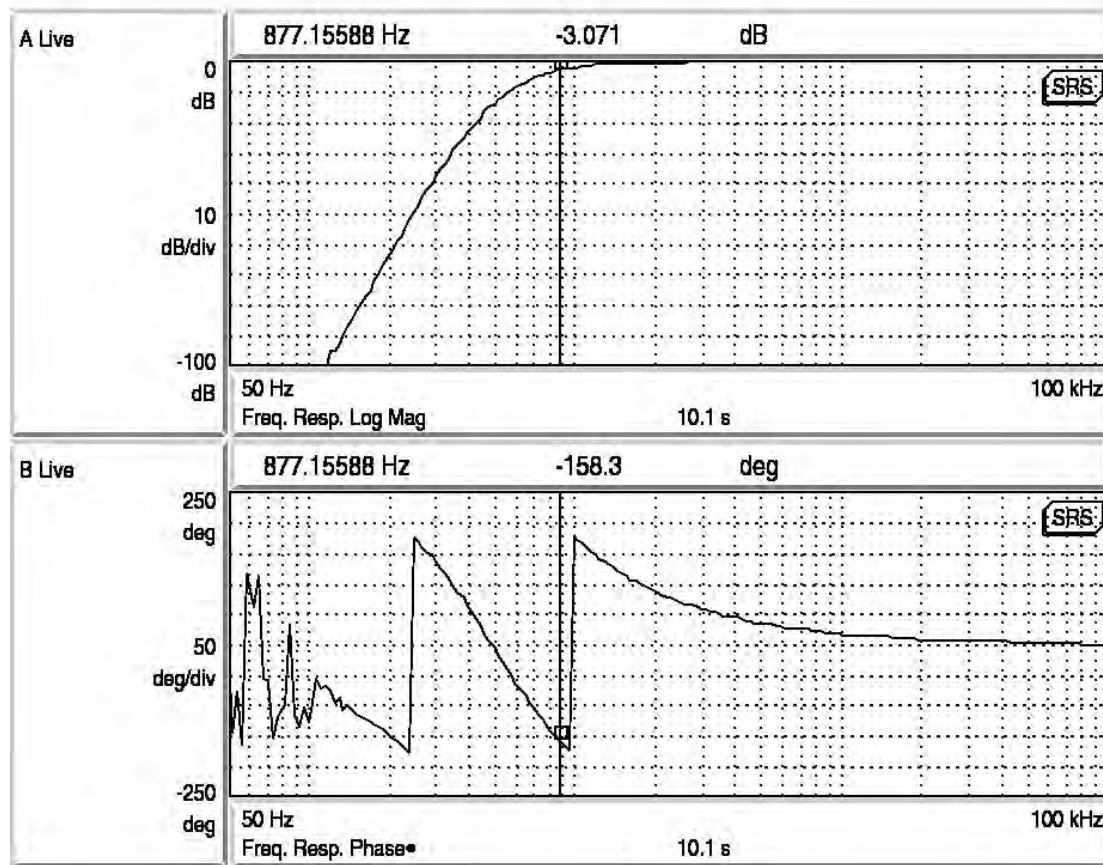


Figure 65 - Filtre passe-bas : réponse fréquentielle à 50Hz

Le déphasage induit par le filtre passe-bas est d'environ  $-38^\circ$ , à la fréquence de 50Hz. Ceci peut poser problème lors de l'analyse du système à mesurer (voir point 8.3.3). Il est toutefois envisageable de compenser de phénomène de manière logicielle.



La figure suivante illustre le comportement fréquentiel du filtre passe-haut :



12/12/12 12:12:47

Figure 66 - Filtre passe-haut : réponse fréquentielle ( $f \leq 100\text{kHz}$ )

La **fréquence de coupure mesurée** se situe aux environs de **877Hz**.

La simulation du filtre indiquait une fréquence de coupure théorique de 1.75kHz.

L'erreur entre simulation et mesure est ici d'environ 50%. Cette fréquence de coupure sera toutefois réadaptée, en fonction de la gamme de fréquence utilisée pour les signaux de perturbation à injecter dans le système.

### 9.3 MESURE SPECTRALE À HAUTE FRÉQUENCE

La réponse en fréquence du filtre analogique a également été mesurée à l'aide de l'analyseur de spectre HP 3588A.

Cet appareil permet l'analyse d'une bande de fréquences s'étendant entre 10Hz et 150MHz, ce qui permet de vérifier la bande passante des amplificateurs opérationnels OP467.

La figure suivante illustre le comportement du filtre passe-haut entre 100Hz et 5kHz :

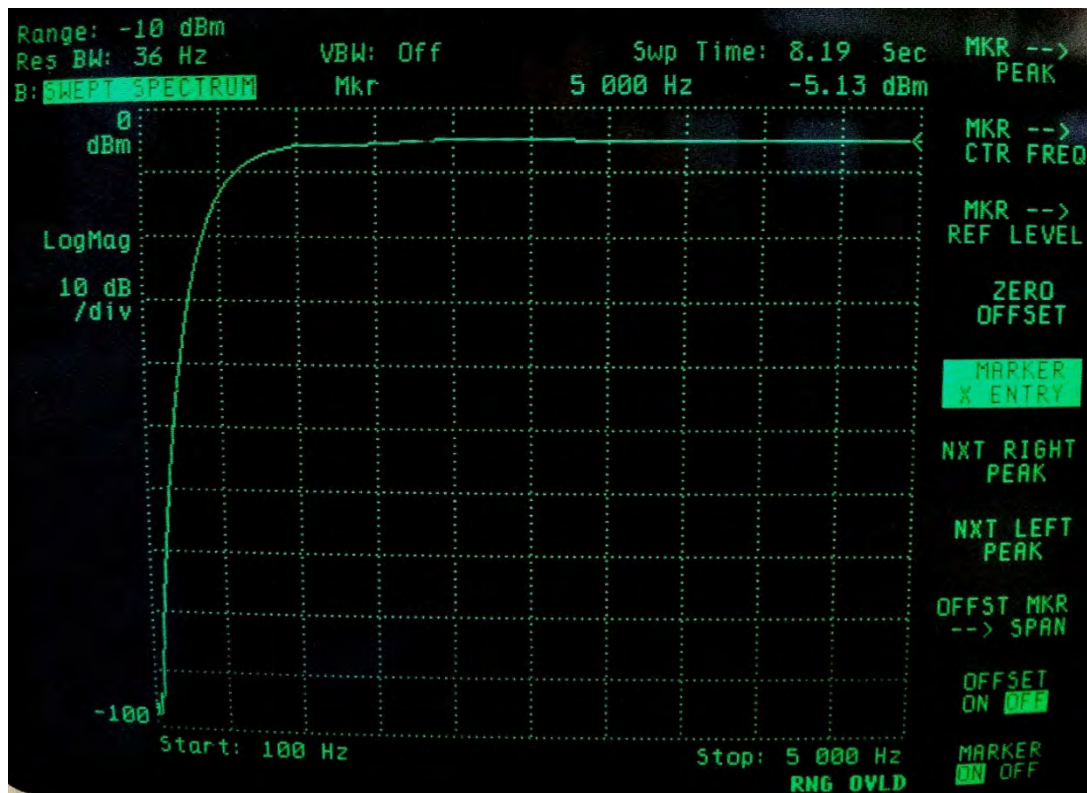


Figure 67 - Filtre passe-haut : réponse fréquentielle ( $f \leq 5\text{MHz}$ )

Dans sa bande passante, le gain absolu du filtre vaut -5dBm.

La figure suivante illustre le comportement du filtre passe-haut entre 100Hz et 10MHz :

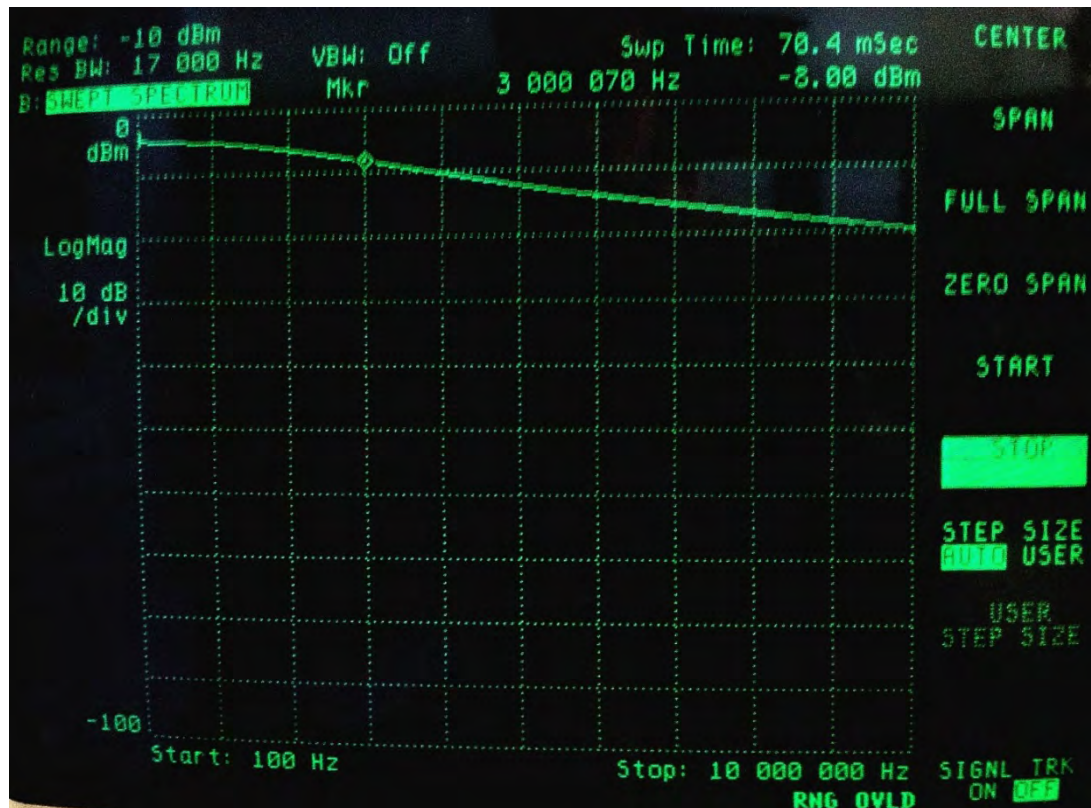


Figure 68 - Filtre passe-haut : réponse fréquentielle ( $f \leq 10\text{MHz}$ )

Nous avons vu précédemment que le gain absolu du filtre passe-haut vaut -5dBm dans sa bande passante. La fréquence de coupure haute des amplificateurs opérationnels sera donc située à la fréquence où le gain absolu vaudra -8dBm.

Ici, ce point se situe à environ 3MHz.

La fréquence du signal de perturbation injecté dans le système à mesurer peut varier entre 500Hz et 2MHz. La **bande passante** de **3MHz** des amplificateurs est donc suffisamment importante.

## 9.4 MESURES TEMPORELLES

Des mesures temporelles ont été réalisées sur le filtre analogique à l'aide d'un oscilloscope Agilent de type MSO-X 3012A.

Deux générateurs de signaux Thurlby Thandar de type TG230 ont permis de générer un signal semblable à celui retourné par la bobine de Rogowski lors de la mesure d'un système. Il s'agit de la superposition de deux sinus. Le premier a une amplitude de 2V et une fréquence de 50Hz, le second une amplitude d'environ 200mV et une fréquence de 100kHz.

Voilà l'allure du signal d'entrée du filtre :

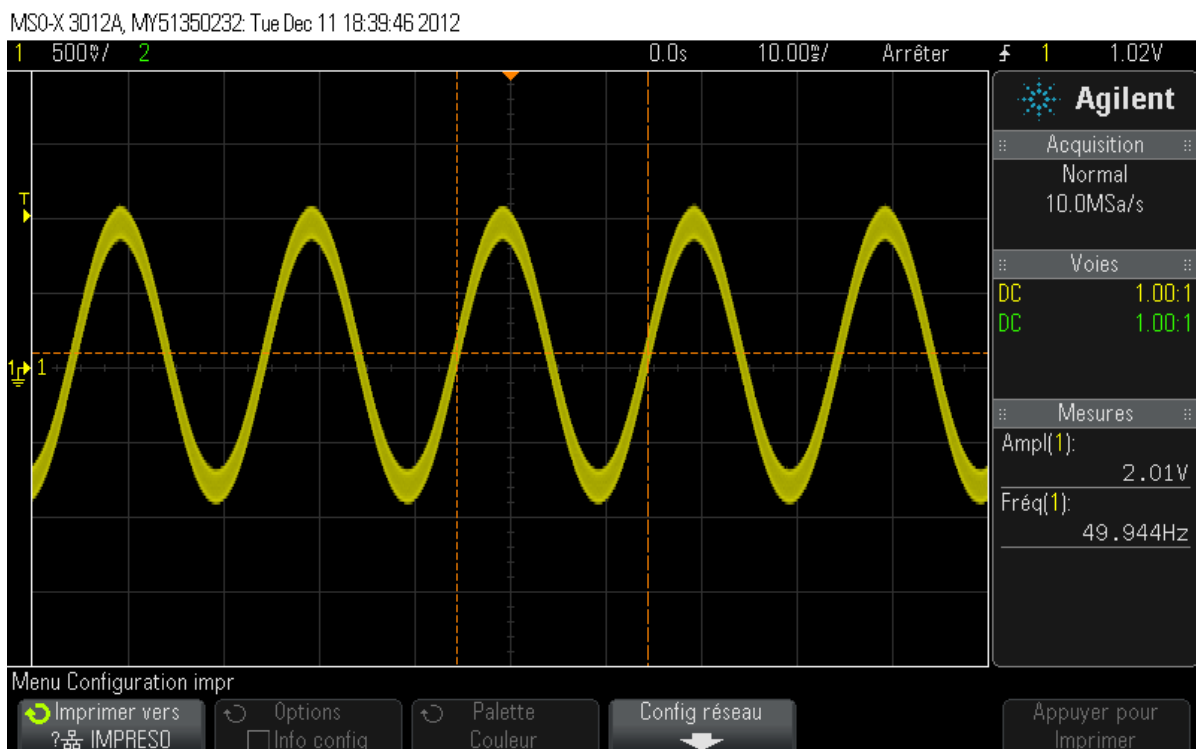


Figure 69 - Signal d'entrée du filtre analogique

En zoomant sur le signal d'entrée, nous pouvons observer le signal de perturbation de 100kHz qui a été superposé au signal de 50Hz :

MSO-X 3012A, MY51350232: Tue Dec 11 18:40:37 2012

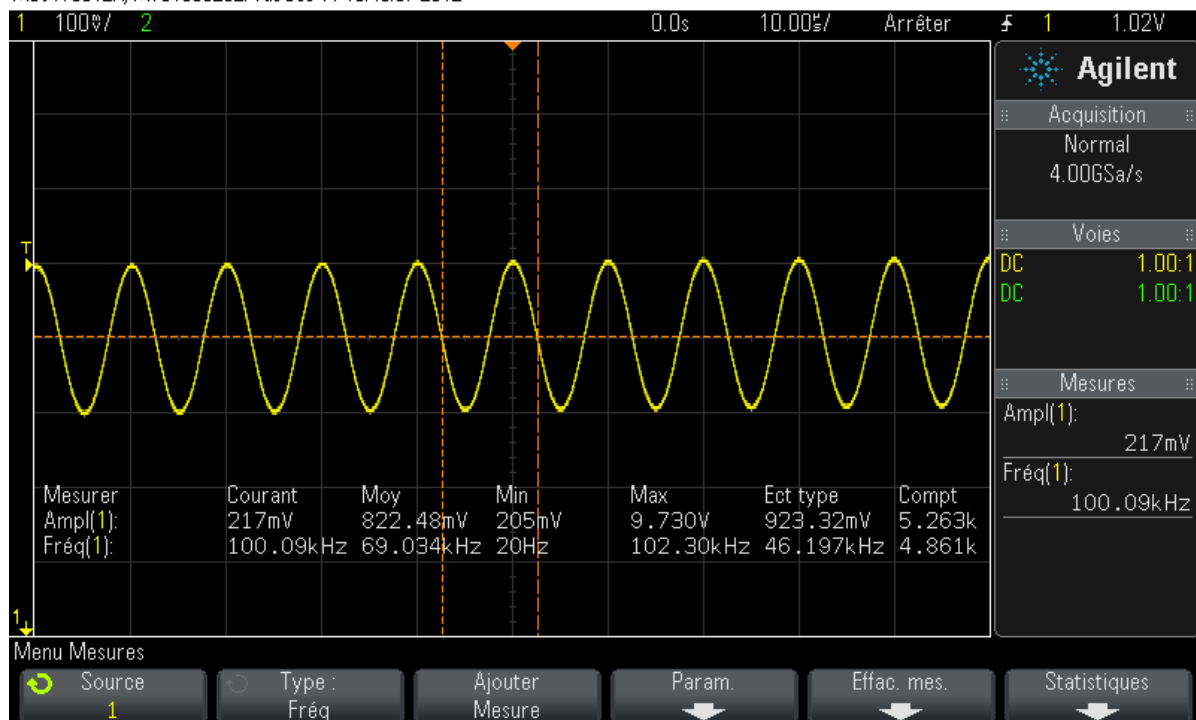


Figure 70 - Signal d'entrée zoomé sur le signal de perturbation

L'amplitude effective du signal de perturbation est ici de 200mV.



Voici le signal présent sur la sortie passe-haut du filtre analogique lors de l'application en entrée du signal illustré plus haut :

MSO-X 3012A, MY51350232: Tue Dec 11 18:48:35 2012

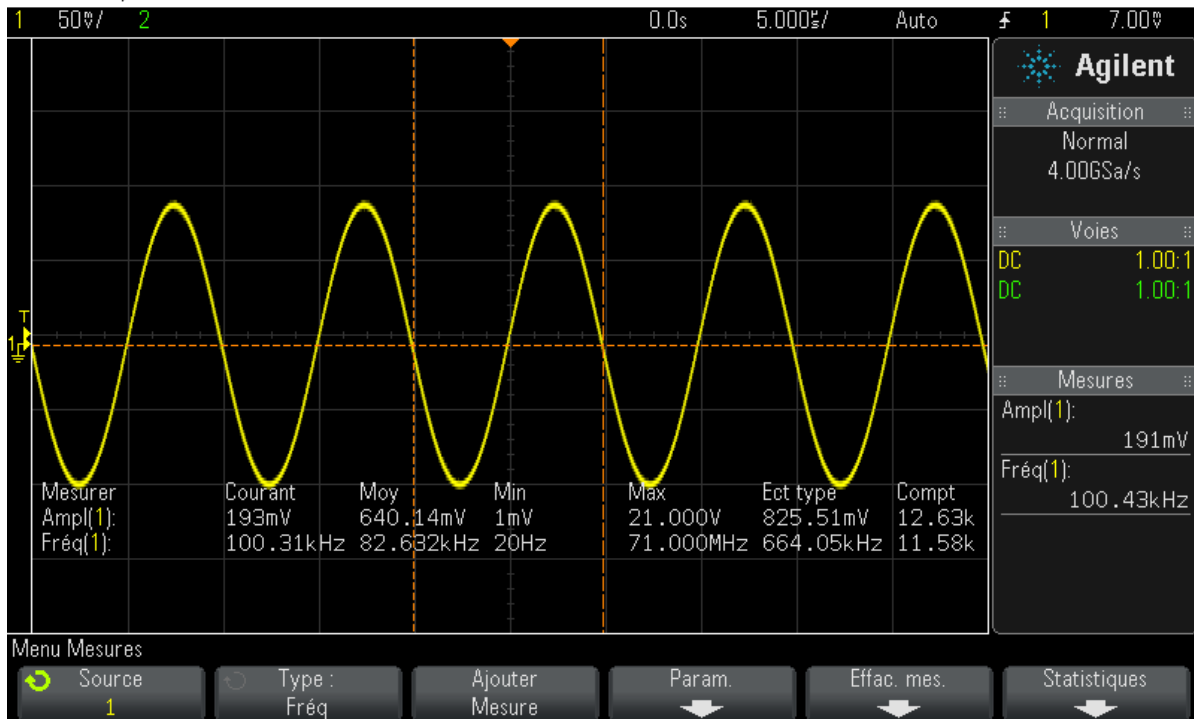


Figure 71 - Sortie passe-haut 8ème ordre

Nous retrouvons bel et bien le signal de perturbation de 100kHz sur la sortie passe-haut du filtre. Le signal de 50Hz a été éliminé.

Pour une amplitude d'entrée de 217mV, l'amplitude de sortie retrouvée est de 191mV. Le rapport de gain peut donc être exprimé comme suit :

$$A = \frac{U_{out}}{U_{in}} = \frac{191mV}{217mV} = 0.88$$

Le gain en dB peut alors être déduit selon la formule suivante :

$$A_{dB} = 20 \cdot \log(A) = 20 \cdot \log(0.88) = -1.11dB$$

La mesure d'une atténuation à l'aide d'un oscilloscope n'est pas réellement significative. La réponse fréquentielle du filtre mesurée avec les divers analyseurs de spectre est ici plus probante.

Quoi qu'il en soit, l'atténuation de 1.11 dB mesurée à 100kHz prouve que cette fréquence se situe dans la bande passante du filtre.

Voici le signal présent sur la sortie passe-bas du filtre lors de l'application en entrée du signal présenté plus haut :

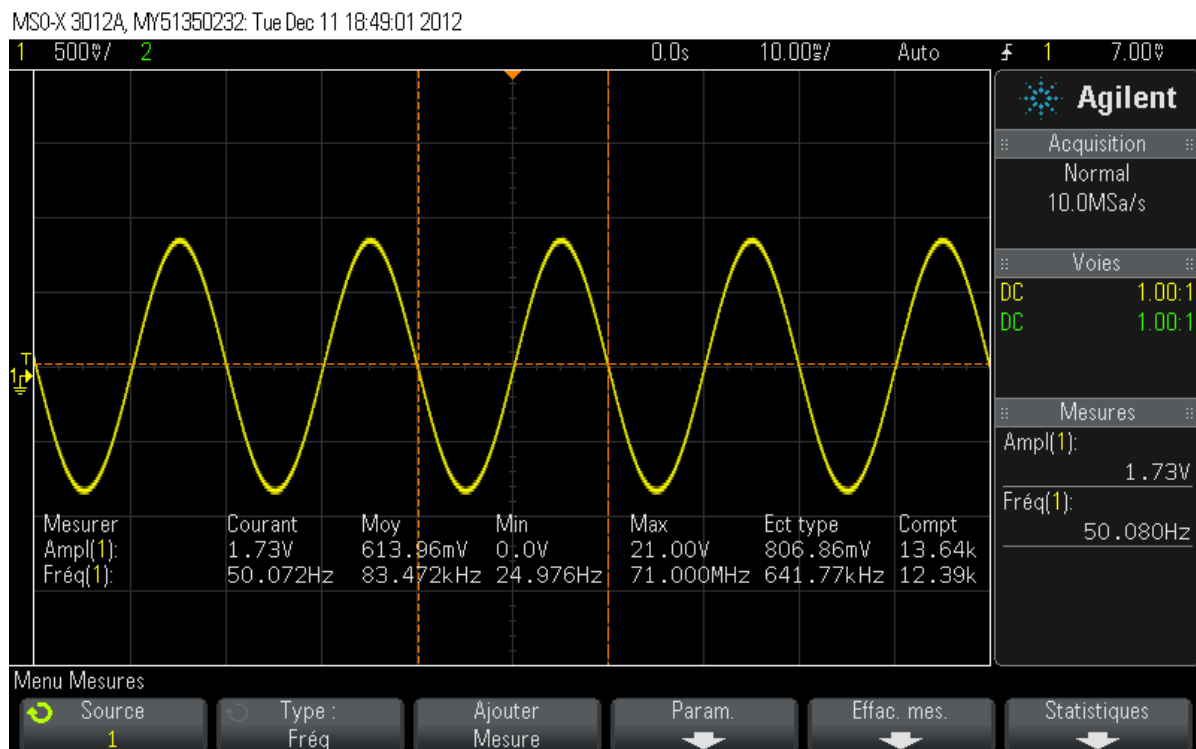


Figure 72 - Sortie passe-bas 8ème ordre

Nous retrouvons bel et bien le signal de 50Hz sur la sortie passe-bas du filtre. Le signal de perturbation de 100kHz a ici été éliminé.

Pour une amplitude d'entrée d'environ 2V, l'amplitude de sortie retrouvée est de 1.73V.  
Le rapport de gain peut donc être exprimé comme suit :

$$A = \frac{U_{out}}{U_{in}} = \frac{1.73V}{2V} = 0.865$$

Le gain en dB peut alors être déduit selon la formule suivante :

$$A_{dB} = 20 \cdot \log(A) = 20 \cdot \log(0.865) = -1.26dB$$

Ceci prouve que la fréquence de 50Hz se situe bel et bien dans la bande passante du filtre passe-bas, même si cette mesure réalisée à l'oscilloscope n'est pas très probante, comme spécifié plus haut.



## 10 BUDGET

---

Le tableau ci-dessous résume le budget qui a été alloué à la fabrication des cartes d'interface et de conversion. Le coût de la main d'œuvre n'est pas inclus.

Description	Coût	
Matériel carte ADDA <sup>17</sup>	CHF	724.15
Fabrication de 5 PCBs pour la carte ADDA	CHF	660.00
Matériel carte d'interface <sup>18</sup>	CHF	167.10
<b>Total:</b>	<b>CHF</b>	<b>1'551.25</b>

**Tableau 24 - Budget de fabrication**

<sup>17</sup> La liste de pièces de la carte ADDA est disponible en annexe 8a.

<sup>18</sup> La liste de pièces de la carte d'interface est disponible en annexe 8b.

## 11 CONCLUSION

---

Une étude de la carte de conversion A/D-D/A réalisée dans le cadre du projet MOLIS a permis de mettre à jour certains problèmes, notamment au niveau de la connectique du convertisseur A/D AD7626. Dans cette première version, les convertisseurs étaient commandés par une carte FPGA tierce, via un connecteur de type mezzanine.

Le cahier des charges de ce travail de diplôme stipulait que la carte de conversion devrait désormais être interfacée au reste du système via un fond de panier.

La connectique de la carte FPGA maîtresse ne permettait dès lors plus le contrôle des convertisseurs par le biais du connecteur de fond de panier. L'intégration d'une FPGA propre à la carte ADDA devenait alors nécessaire.

Après avoir étudié les exigences minimales que devait remplir cette FPGA, le modèle Xilinx Spartan-6 LX45 a été choisi.

La fabrication de la carte de conversion a débuté dès que le dessin du schéma PCad fut terminé.

L'implémentation de la FPGA a été réalisée en langage VHDL. Seul l'interfaçage entre la FPGA et les divers convertisseurs A/D et D/A a été développé. Des simulations temporelles ont permis de vérifier son bon fonctionnement.

L'implémentation de l'interface entre les cartes FPGA maîtresse et ADDA, ainsi que la gestion de l'interface RS-232 restent à être implémentées.

Un éventuel étage de démodulation et de filtrage reste éventuellement à être intégré à la FPGA de la carte de conversion.

Malheureusement, aux vues des délais de fabrication importants, la carte ADDA n'a pas pu être terminée durant le travail de diplôme.

Les tests de fonctionnement et de performance initialement prévus n'ont donc pas pu être réalisés.

Une seconde carte permettant l'interfaçage entre la bobine de Rogowski et la carte de conversion a été développée. Celle-ci intègre un filtre analogique du 8<sup>ème</sup> ordre capable de séparer le signal de perturbation sinusoïdal, initialement injecté dans le système à mesurer, du signal 50Hz du réseau électrique.

Après avoir simulé le comportement du filtre à l'aide du logiciel OrCAD Capture, la fabrication de la carte d'interface a pu débuter.

Une phase de tests et mesures a été réalisée sur cette carte afin de valider son bon fonctionnement. Il en ressort que les caractéristiques du filtre (facteurs de gain et fréquences de coupures) devront encore être réadaptées, en fonction des paramètres des signaux délivrés par la bobine de Rogowski, dès que ceux-ci seront définis.

Le bon comportement global du filtre à quant à lui été validé.

En conclusion, le développement réalisé dans le cadre de ce travail de diplôme semble être une bonne base pour la continuation du projet de spectroscopie d'impédance. Il pourra être repris et complété dès lors que des tests de fonctionnement et de performance auront validé l'implémentation d'ores et déjà réalisée.

Sion, le 18 décembre 2012

Ludovic Chappot

## 12 ANNEXES

---

Annexe 1	:	Planning du travail de diplôme
Annexe 2a	:	Datasheet de l'AD7626
Annexe 2b	:	Datasheet de l'AD7760
Annexe 2c	:	Datasheet de l'AD5547
Annexe 3	:	Schéma PCad de la carte ADDA v2.0
Annexe 4a	:	Code source VHDL du bloc <i>DCM_resetManager</i>
Annexe 4b	:	Code source VHDL du bloc <i>AD7626_Interface_Heart_v3</i>
Annexe 4c	:	Code source VHDL du bloc <i>shift_register</i>
Annexe 4d	:	Code source VHDL du bloc <i>AD7626_Interface_Sync</i>
Annexe 5a	:	Machine d'états VHDL du bloc <i>AD7760_Interface_Heart</i>
Annexe 5b	:	Code source VHDL du bloc <i>AD7760_Interface_initSync</i>
Annexe 5c	:	Code source VHDL du bloc <i>AD7760_Interface_write</i>
Annexe 5d	:	Code source VHDL du bloc <i>AD7760_Interface_read</i>
Annexe 6a	:	Code source VHDL du bloc <i>AD5547_Interface</i>
Annexe 6b	:	Code source VHDL du bloc <i>phaseCounter</i>
Annexe 6c	:	Code source VHDL du bloc <i>cordicPipelined</i>
Annexe 7	:	Schéma PCad de la carte d'interface
Annexe 8a	:	Liste de pièces de la carte ADDA
Annexe 8b	:	Liste de pièces de la carte d'interface

## 13 RÉFÉRENCES / BIBLIOGRAPHIE

---

- 1 MOLIS prise de mesure V2 – Bastien Praplan – HES-SO Valais (septembre 2012)
- 2 Analyse des matériaux par spectroscopie d'impédance – F.Hamou, Prof. N.Zerki – Oran, Algérie  
<http://www.univ-tiaret.dz/bibliotheque/Physique/JPA01-OM21.pdf>
- 3 What is a lock-in amplifier ? – PerkinElmer technical note  
<http://electron9.phys.utk.edu/optics507/modules/m10/tn1000.pdf>
- 4 Spectromètre d'impédance pour machines électriques – Diego Friedli – HES-SO Valais // MASTER (février 2012)
- 5 Low Voltage Differential Signaling – Wikipedia  
[http://fr.wikipedia.org/wiki/Low\\_Voltage\\_Differential\\_Signaling](http://fr.wikipedia.org/wiki/Low_Voltage_Differential_Signaling)
- 6 Spartan-6 FPGA SelectIO Ressources, User guide – Xilinx (2010)
- 7 Spartan-6 FPGA Packaging and Pinouts, Product specification – Xilinx (2011)
- 8 Le bus industriel VME – Patrice Kadionik, Bernard Humbert – Ecole Nationale Supérieure, Bordeaux (2001)
- 9 Platform Flash PROM, User guide – Xilinx (2009)
- 10 Spartan-6 FPGA Configuration, User guide – Xilinx (2012)
- 11 Spartan-6 FPGA Clocking Ressources, User guide – Xilinx (2012)
- 12 Convertisseurs delta-sigma, cours du module Eln2 – Dr. Joseph Moerschell – HES-SO Valais